

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-185259

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H03F 1/22

(21)Application number : 2001-314679

(71)Applicant : OKI AMERICA INC

(22)Date of filing : 12.10.2001

(72)Inventor : GIUROIU HORIA

(30)Priority

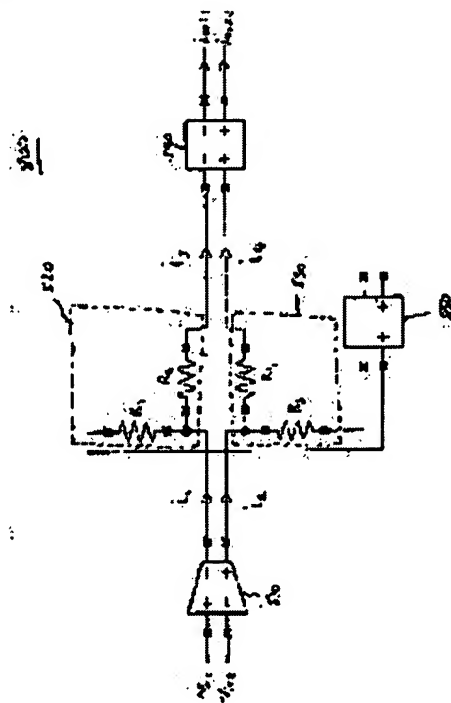
Priority number : 2000 689811 Priority date : 13.10.2000 Priority country : US

(54) DIGITALLY PROGRAMMABLE TRANSCONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a cascade transconductor circuit for controlling the transconductance of a differential stage having an active load where a cascade or folded cascade current follower is provided at a later stage in discrete steps.

SOLUTION: The circuit comprises the transconductor for receiving first and second input voltages and for outputting first and second internal currents, a first resistance divider for receiving the first internal current at a first node that is selected digitally and for generating a third internal current at a third node, a second resistance divider for receiving the second internal current at a second node that is selected digitally and for generating a fourth internal current at a fourth node, and a cascade circuit for receiving the third and fourth internal currents and for supplying the first and second output currents.



LEGAL STATUS

[Date of request for examination]

30.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-185259

(P2002-185259A)

(43)公開日 平成14年6月28日(2002.6.28)

(51) Int.Cl.⁷

H03F 1/22

識別記号

F I

H O 3 F 1/22

テーマコード* (参考)

5 J 0 9 2

審査請求 未請求 請求項の数24 OL 外国語出願 (全 68 頁)

(21)出願番号 特願2001-314679(P2001-314679)

(22) 出願日 平成13年10月12日 (2001. 10. 12)

(31)優先権主張番号 09/689811

(32)優先日 平成12年10月13日(2000. 10. 13)

(33)優先権主張国 米国 (US)

(71)出願人 501377092

オキアメリカ・インコーポレイティッド

Ok l America, Inc.

アメリカ合衆国 94086-2909、 カリフ

オルニア州 サニーベイル、 ノース マ

リー アベニュー 785

(72)発明者 ホリア ジュロイウ

アメリカ合衆国 94086-2909、 カリフ

オルニア州 サニーベイル、 ノース マ

リー アベニュー 785、 オキ セミコ

ンダクター カンパニー内

(74) 代理人 100083840

弁理士 前田 実 (外1名)

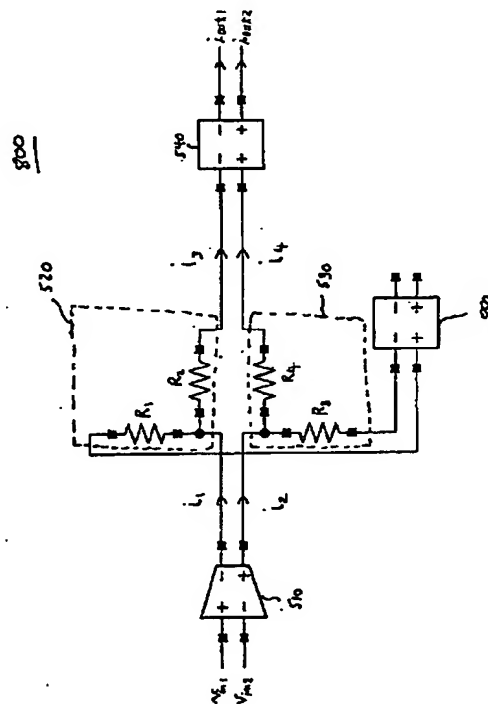
最終頁に続く

(54) 【発明の名称】 デジタル式にプログラム可能なトランスコンダクタ

(57) 【要約】

【課題】 カスコード又はフォールデッド・カスコード電流フォロワが後段に備えられた能動負荷を備えた差動段のトランスコンダクタンスを離散的ステップにおいて制御するカスコード・トランスコンダクタ回路を提供する。

【解決手段】 この回路は、第1入力電圧及び第2入力電圧を受け取り、第1内部電流及び第2内部電流を出力するトランスコンダクタと、デジタル式に選択された第1ノードで第1内部電流を受け取り、第3ノードに第3内部電流を発生させる第1抵抗ディバイダと、デジタル式に選択された第2ノードで第2内部電流を受け取り、第4ノードに第4内部電流を発生させる第2抵抗ディバイダと、第3内部電流及び第4内部電流を受け取り、第1出力電流及び第2出力電流を供給するカスコード回路とを含む。



【特許請求の範囲】

【請求項 1】 第 1 入力電圧及び第 2 入力電圧を受け取り、第 1 内部電流及び第 2 内部電流を出力するトランスコンダクタと、

第 1 ノードと第 3 ノードとの間に接続された第 1 抵抗と、

前記第 1 ノードと第 5 ノードとの間に接続された第 2 抵抗とを有し、

前記第 1 抵抗及び前記第 2 抵抗は、第 1 抵抗ディバイダを形成し、

前記第 1 抵抗ディバイダは、前記第 1 ノードで前記第 1 内部電流を受け取り、前記第 3 ノードに第 3 内部電流を発生させ、

第 2 ノードと第 4 ノードとの間に接続された第 3 抵抗と、

前記第 2 ノードと前記第 5 ノードとの間に接続された第 4 抵抗とを有し、

前記第 3 抵抗及び前記第 4 抵抗は、第 2 抵抗ディバイダを形成し、

前記第 2 抵抗ディバイダは、前記第 2 ノードで前記第 2 内部電流を受け取り、前記第 4 ノードに第 4 内部電流を発生させ、

前記第 3 内部電流及び前記第 4 内部電流を受け取り、第 1 出力電流及び第 2 出力電流を供給するカスコード回路と、

前記第 5 ノードに接続されたダミー・フォールデッド・カスコードとを有するカスコード・トランスコンダクタ回路。

【請求項 2】 前記ダミー・フォールデッド・カスコードが、シングルエンド形低インピーダンス入力フォールデッド・カスコードである請求項 1 に記載のカスコード・トランスコンダクタ回路。

【請求項 3】 第 1 入力電圧及び第 2 入力電圧を受け取り、第 1 内部電流及び第 2 内部電流を出力するトランスコンダクタと、

第 1 ノードで前記第 1 内部電流を受け取り、第 3 ノードに第 3 内部電流を発生させる第 1 抵抗回路網と、

第 2 ノードで前記第 2 内部電流を受け取り、第 4 ノードに第 4 内部電流を発生させる第 2 抵抗回路網と、

前記第 3 内部電流及び前記第 4 内部電流を受け取り、第 1 出力電流及び第 2 出力電流を供給するカスコード回路とを有するカスコード・トランスコンダクタ回路。

【請求項 4】 前記カスコード回路が、フォールデッド・カスコードである請求項 3 に記載のカスコード・トランスコンダクタ回路。

【請求項 5】 前記カスコード回路が、レギュラー・カスコードである請求項 3 に記載のカスコード・トランスコンダクタ回路。

【請求項 6】 前記第 1 抵抗回路網が、

前記第 3 ノードと第 5 ノードとの間に直列に接続された

p 個の第 1 抵抗と、

(p + 1) 個の第 1 スイッチとを有し、

第 1 抵抗のそれぞれが前記 (p + 1) 個の第 1 スイッチの内の二つに接続されるように、前記 (p + 1) 個の第 1 スイッチのそれぞれが、前記第 1 ノードと、前記 p 個の第 1 抵抗の内の一つの第 1 抵抗の端部との間に接続されており、

前記第 2 抵抗回路網が、

前記第 4 ノードと前記第 5 ノードとの間に直列に接続された p 個の第 2 抵抗と、

(p + 1) 個の第 2 スイッチとを有し、

第 2 抵抗のそれぞれが前記 (p + 1) 個の第 2 スイッチの内の二つに接続されるように、前記 (p + 1) 個の第 2 スイッチのそれぞれが、前記第 2 ノードと、前記 p 個の第 2 抵抗の内の一つの第 2 抵抗の端部との間に接続されており、

p が 1 より大きい整数である請求項 3 に記載のカスコード・トランスコンダクタ回路。

【請求項 7】 前記第 5 ノードが、AC グランド電位に接続されている請求項 6 に記載のカスコード・トランスコンダクタ回路。

【請求項 8】 前記カスコード・トランスコンダクタ回路が、ダミー・フォールデッド・カスコードをさらに有し、

前記第 5 ノードが、前記ダミー・フォールデッド・カスコードに接続されている請求項 6 に記載のカスコード・トランスコンダクタ回路。

【請求項 9】 前記ダミー・フォールデッド・カスコードが、単一低インピーダンス入力フォールデッド・カスコードである請求項 8 に記載のカスコード・トランスコンダクタ回路。

【請求項 10】 動作中に、前記第 1 スイッチの内の一つ及び前記第 2 スイッチの内の一つのみが、所定の時点で閉じられる請求項 6 に記載のカスコード・トランスコンダクタ回路。

【請求項 11】 前記第 1 スイッチ及び前記第 2 スイッチのそれぞれは、複数の制御信号の内の一つによって制御されるトランジスタを有する請求項 6 に記載のカスコード・トランスコンダクタ回路。

【請求項 12】 前記第 1 スイッチ及び前記第 2 スイッチのそれぞれは、バイアス電圧によって制御されるトランジスタを有する請求項 6 に記載のカスコード・トランスコンダクタ回路。

【請求項 13】 第 i 番の前記第 1 抵抗と第 i 番の前記第 2 抵抗とが同じ値を持ち、i が 1 から p までの整数である請求項 6 に記載のカスコード・トランスコンダクタ回路。

【請求項 14】 第 1 入力電圧及び第 2 入力電圧を受け取り、第 1 内部電流及び第 2 内部電流を出力するトランスコンダクタと、

第 1 ノードで前記第 1 内部電流を受け取り、第 3 ノードに第 3 内部電流を発生させる第 1 の R-nR 回路網と、第 2 ノードで前記第 2 内部電流を受け取り、第 4 ノードに第 4 内部電流を発生させる第 2 の R-nR 回路網と、前記第 3 内部電流及び前記第 4 内部電流を受け取り、第 1 出力電流及び第 2 出力電流を供給するカスコード回路とを有するカスコード・トランスコンダクタ回路。

【請求項 15】 前記カスコード回路が、フォールデッド・カスコードである請求項 14 に記載のカスコード・トランスコンダクタ回路。

【請求項 16】 前記カスコード回路が、レギュラー・カスコードである請求項 14 に記載のカスコード・トランスコンダクタ回路。

【請求項 17】 前記第 1 の R-nR 回路網が、前記第 3 ノードと第 5 ノードとの間に直列に接続された p 個の第 1 抵抗と、

(p-1) 個の第 2 抵抗と、

(p+1) 個の第 1 スイッチとを有し、

前記 p 個の第 1 抵抗の内の二つの第 1 抵抗の接合部のそれぞれが前記 (p-1) 個の第 2 抵抗の内の一つに接続されるように、前記 (p-1) 個の第 2 抵抗のそれぞれが、前記第 5 ノードと、前記 p 個の第 1 抵抗の内の二つの第 1 抵抗の接合部との間に接続され、

前記第 1 抵抗のそれぞれが前記 (p+1) 個の第 1 スイッチの内の二つに接続されるように、前記 (p+1) 個の第 1 スイッチのそれぞれが、前記第 1 ノードと、前記 p 個の第 1 抵抗の内の一つの第 1 抵抗の端部との間に接続され、

前記第 2 の R-nR 回路網が、

前記第 4 ノードと前記第 5 ノードとの間に直列に接続された p 個の第 3 抵抗と、

(p-1) 個の第 4 抵抗と、

(p+1) 個の第 2 スイッチとを有し、

前記 p 個の第 3 抵抗の内の二つの第 3 抵抗の接合部のそれぞれが前記 (p-1) 個の第 4 抵抗の内の一つに接続されるように、前記 (p-1) 個の第 4 抵抗のそれぞれが、前記第 5 ノードと、前記 p 個の第 3 抵抗の内の二つの第 3 抵抗の接合部との間に接続され、

前記第 3 抵抗のそれぞれが前記 (p+1) 個の第 2 スイッチの内に二つに接続されるように、前記 (p+1) 個の第 2 スイッチのそれぞれが、前記第 3 ノードと、前記 p 個の第 3 抵抗の内の一つの第 3 抵抗の端部との間に接続された請求項 14 に記載のカスコード・トランスコンダクタ回路。

【請求項 18】 前記第 5 ノードが AC グランド電位に接続された請求項 17 に記載のカスコード・トランスコンダクタ回路。

【請求項 19】 前記カスコード・トランスコンダクタ回路がダミー・フォールデッド・カスコードをさらに有し、

前記第 5 ノードが前記ダミー・フォールデッド・カスコードに接続されている請求項 17 に記載のカスコード・トランスコンダクタ回路。

【請求項 20】 前記ダミー・フォールデッド・カスコードが、単一の低インピーダンス入力フォールデッド・カスコードである請求項 19 に記載のカスコード・トランスコンダクタ回路。

【請求項 21】 動作中に、前記第 1 スイッチの内の一つ及び前記第 2 スイッチの内の一つのみが、所定の時点で閉じられる請求項 17 に記載のカスコード・トランスコンダクタ回路。

【請求項 22】 前記第 1 スイッチ及び前記第 2 スイッチのそれぞれは、複数の制御信号の内の一つによって制御されるトランジスタを有する請求項 17 に記載のカスコード・トランスコンダクタ回路。

【請求項 23】 第 2 番から第 (p-1) 番までの第 1 抵抗及び第 2 番から第 (p-1) 番までの第 3 抵抗は全て第 1 抵抗値を持ち、

第 1 番及び第 p 番の第 1 抵抗、第 1 番及び第 p 番の第 3 抵抗、前記 (p-1) 個の第 2 抵抗、並びに、前記 (p-1) 個の第 4 抵抗は全て、前記第 1 抵抗値の整数倍にほぼ等しい第 2 抵抗値を持つ請求項 17 に記載のカスコード・トランスコンダクタ回路。

【請求項 24】 前記第 2 抵抗値が、前記第 1 抵抗値の 2 倍である請求項 23 に記載のカスコード・トランスコンダクタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、カスコード電流フォロワが後段に備えられた能動負荷を備えた差動段（トランスコンダクタ）のトランスコンダクタンスを離散的ステップ（discrete steps）において制御する方法に関する。特に、本発明は、デジタル式にプログラム可能（プリプログラマブル）なトランスコンダクタンス及びほぼ一定の DC（直流）動作点を持つトランスコンダクタを提案する。本発明は、同じチップ上に集積された同様の構成要素のマスタ値（master value）及び比率に依存する正確なトランスコンダクタンスの設定をも提案する。

【0002】

【従来の技術】差動段のトランスコンダクタンスの基本的な設定は、テール電流（tail current）による。DC 動作点も、テール電流の値に依存する。トランスコンダクタンスの変更が、離散的ステップにおいて、ひずみレベルのような他のパラメータに影響を与えなくななければならない、プログラム可能な増幅器又はフィルタのようないくつかの回路構成がある。

【0003】図 1 は、従来のデジタル式にプログラム可能なトランスコンダクタ回路を示す。図 1 に示されるトランスコンダクタ回路は、ソース負帰還型の差動対から

派生したものである。それは、電流発生装置 30 と、右側及び左側の高精度トランスコンダクタ 40 及び 50 と、負帰還抵抗装置 60 とを含む。電流発生装置 30 は、左側電流発生器 32 と、右側電流発生器 34 とを含む。右側及び左側の高精度トランスコンダクタ 40 及び 50 はそれぞれ、右側又は左側の演算増幅器（オペアンプ）44、54 と、右側又は左側の PMOS トランジスタ 46、56 とを含む。PMOS トランジスタ 46、56 は、右側又は左側の電流 I_L 又は I_R を流し、対応する演算増幅器 44、54 の出力によって制御される。右側又は左側の演算増幅器 44、54 のそれぞれは、対応する左側又は右側の電圧 V_L 又は V_R を非反転入力部 42、52 で受け入れ、負帰還抵抗装置 60 を経由したフィードバックを負の入力部 43、53 で受け入れる。負帰還抵抗装置 60 は、複数個の負帰還抵抗 R_{D1} 、 R_{D2} 、 R_{D3} 、 R_{D4} 、及び R_{D5} と、複数個のプログラミング・スイッチ SP_1 、 SP_2 、 SP_3 、 SP_4 、 SP_5 、及び SP_6 とを含む。負帰還抵抗は、第 1 及び第 2 の左側抵抗 R_{D1} 及び R_{D2} と、中央抵抗 R_{D3} と、第 1 及び第 2 の右側抵抗 R_{D4} 及び R_{D5} とに分類できる。

【0004】右側及び左側の高精度トランスコンダクタ

S_{P1}	S_{P2}	S_{P3}	S_{P4}	S_{P5}	S_{P6}	R_{D1}	R_{D3}	R_{D5}
オフ	オン	オフ	オフ	オン	オフ	R_{D1}	R_{D3}	$R_{D5} + R_{D4} + R_{D2}$
オフ	オフ	オン	オン	オフ	オフ	$R_{D4} + R_{D5}$	$R_{D1} + R_{D3}$	R_{D2}

【0007】中央抵抗装置 R_C は、トランスコンダクタによって生成される AC（交流）電流を規定する。タップの位置を変えることによって、入力電圧が印加される抵抗の数が変わる。このことにより、以下と同等のトランスコンダクタンスが生み出される。

【数 1】

$$g_m = \frac{I_R - I_L}{V_R - V_L} = \frac{1}{R_C} \quad (1)$$

【0008】この回路のもう一つ欠点は、有効であるべきフィードバックのために重要な電流を引き出す高速増幅器を持つことが必要である高い周波数において、明らかになる。

【0009】連続的に調整可能なトランスコンダクタンス回路を実現したものが、図 2 に示される。この連続的に調整可能なトランスコンダクタンス回路は、第 1 及び第 2 の高精度トランスコンダクタ 210 及び 220 と、第 1 から第 3 までのチューナブル（tunable）・トランジスタ（調整可能なトランジスタ） T_{TUN1} 、 T_{TUN2} 、及び T_{TUN3} と、トランスコンダクタ 210 の入力部及びトランスコンダクタ 220 の入力部の間に接続された複数個の抵抗 R と、トランスコンダクタ 210 の出力部及びトランスコンダクタ 220 の出力部の間

40 及び 50 は、複数個のプログラミング・スイッチ SP_1 、 SP_2 、 SP_3 、 SP_4 、 SP_5 、及び SP_6 を通して複数個の負帰還抵抗 R_{D1} 、 R_{D2} 、 R_{D3} 、 R_{D4} 、及び R_{D5} のタップからフィードバックを取る。これらのスイッチは、複数のスイッチ制御信号 C_1 から C_3 までによって制御される。

【0005】特定の対のタップを選択することによって、その結果としての負帰還抵抗装置は、正確に分割できる。5 個の負帰還抵抗が、スイッチによって、中央抵抗装置 R_C と、右外側抵抗装置 R_{RL} と、左外側抵抗装置 R_{LL} とに分割される。外側抵抗装置 R_{RL} 及び R_{LL} は、高精度トランスコンダクタ 40 及び 50 のそれぞれのフィードバック・ループに含まれ、中央抵抗装置はサイド電流 I_S を流す。高精度トランスコンダクタ 40 及び 50 のフィードバックは、結果として形成された中央抵抗装置 R_C の両端に入力電圧を与える。

【0006】以下の表 1 は、中央抵抗装置 R_C と、外側抵抗装置 R_{RL} 及び R_{LL} とが、プログラミング・スイッチ SP_1 、 SP_2 、 SP_3 、 SP_4 、 SP_5 、及び SP_6 の状態に基づいて、どのように決定されるかの一例を示している。

【表 1】

S_{P1}	S_{P2}	S_{P3}	S_{P4}	S_{P5}	S_{P6}	R_{RL}	R_{LL}	R_C
オフ	オン	オフ	オフ	オン	オフ	R_{D1}	R_{D1}	$R_{D2} + R_{D3} + R_{D4}$
オフ	オフ	オン	オン	オフ	オフ	$R_{D4} + R_{D5}$	$R_{D1} + R_{D3}$	R_{D2}

に接続されたキャパシタ C と、複数種類のトランジスタ T 及び電流源 260 とを有する。

【0010】高精度トランスコンダクタ 210 及び 220 のそれぞれは、演算増幅器 212、222 と、トランジスタ T_{T1} 、 T_{T2} とを含む。トランスコンダクタ 210 及び 220 は、負帰還抵抗を持つように接続される。

【0011】回路の出力電流 i_{out1} 及び i_{out2} は、チューナブル・トランジスタ T_{TUN1} 、 T_{TUN2} 、及び T_{TUN3} によってフォールドド・カスコード（folded-cascode）の入力部に向けられる。相補的に重み付けられた電流は、フォールドド・カスコードの低インピーダンス部において合計され、出力部に逆の AC 電流を提供する。

【0012】チューナブル・トランジスタ T_{TUN1} 、 T_{TUN2} 、及び T_{TUN3} のそれぞれは、それぞれのチューナブル抵抗（調整可能な抵抗） R_{TUN1} 、 R_{TUN2} 、及び R_{TUN3} を提供する。チューナブル・トランジスタ T_{TUN1} （ R_{TUN1} ）、 T_{TUN2} （ R_{TUN2} ）、及び T_{TUN3} （ R_{TUN3} ）のそれぞれによって与えられた抵抗は、トランジスタ T_{TUN1} 、 T_{TUN2} 、及び T_{TUN3} の入力部に供給される第 1 及び第 2 の制御電圧

V_1 及び V_2 に伴って変わる。例えば、もしも、第 1 及び第 3 のチューナブル・トランジスタ T_{TUN1} 及び T_{TUN3} が同一であるならば、それらは両方とも第 1 制御電圧 V_1 を受け取るので、第 1 及び第 3 のチューナブル抵抗も同じになるであろう ($R_{TUN1} = R_{TUN3}$)。トランスコンダクタからの差動出力電流 $i_1 = i_i$, $i_2 = (-i_i)$ については、次式を有する。

【数 2】

$$i_A = \left(\frac{R_{TUN2}}{2R_{TUN1} + R_{TUN2}} \right) i_i \quad (1)$$

$$i_B = - \left(\frac{R_{TUN2}}{2R_{TUN1} + R_{TUN2}} \right) i_i \quad (2)$$

【0013】入力トランスコンダクタによって生成され、出力部に分配された電流の割合

【数 3】

$$\frac{R_{TUN2}}{2R_{TUN1} + R_{TUN2}}$$

は、 $R_{TUN1} = R_{TUN3}$, R_{TUN2} に従って変化する。即ち、電流のこの割合は、 R_{TUN1} , R_{TUN2} , 及び R_{TUN3} の関数である。全体のトランスコンダクタンスは、入力段トランスコンダクタンスのある割合として現われる。この割合は、電圧制御される。個々の「抵抗」値に対する出力電流の依存性は、電子的手段によって合計 ($2R_{TUN1} + R_{TUN2}$) が一定に維持されなければ、線形 (リニア) ではない。

【0014】電流源 260 は、バイアス電流源であることが望ましく、抵抗 R は主要なトランスコンダクタンス設定部を構成する。この場合には、その段のトランスコンダクタンスは、 $(1/R)$ の (V_1 及び V_2 に依存する) 割合である。

【0015】入力トランスコンダクタの電流を舵取り (ステアリング) するもう一つの方法が、図 3 に示される。図 3 の回路は、入力トランスコンダクタ 305 と、電圧制御電流ステアリング回路 310 と、コモン・モード・フィードバック (CM フィードバック) 回路 330 と、複数のトランジスタ T とを有する。

【0016】入力トランスコンダクタ 305 は、それぞれが差動増幅器として機能する第 1 及び第 2 の部分 350 及び 360 を含む。第 1 の部分 350 は、第 1 から第 4 までのトランジスタ T_1 , T_2 , T_3 , 及び T_4 を含む。第 2 の部分 360 は、第 5 から第 7 までのトランジスタ T_5 , T_6 , 及び T_7 を含む。

【0017】電圧制御電流ステアリング回路 310 は、2 個の差動対を構成する第 8 から第 11 までのトランジスタ T_8 , T_9 , T_{10} , 及び T_{11} を含む。第 8 及び

第 9 のトランジスタ T_8 及び T_9 は、1 個の差動対を形成し、第 10 及び第 11 のトランジスタ T_{10} 及び T_{11} は、他の差動対を形成する。

【0018】入力トランスコンダクタ 305 によって生成される電流の一部は、(差動トランジスタ T_8 , T_9 , T_{10} , 及び T_{11} から構成された) 2 個の差動対により構成された電圧制御電流ステアリング回路を通して出力部 i_{out1} 及び i_{out2} に伝送される。その回路は、種々の積層された段 (stacked stages) を構築するために高い供給電圧を必要とし、電流ステアリングをデジタル的に制御するのに困難を経験させたという欠点を持つ。

【0019】図 4 は、切替え可能な増幅器の設計図を示す。この切替え可能な増幅器は、抵抗列が、エンハンスト・トランスコンダクタ ($T_1 - T_3$; $T_2 - T_4$) 用の負帰還抵抗として使用されている、即ち、(T_1 及び T_3) 並びに (T_2 及び T_4) のそれぞれが、複合トランジスタを形成する点において、図 1 の回路と同様である。この切替え可能な増幅器は、第 1 から第 6 までのトランジスタ T_1 から T_6 までと、負帰還抵抗装置 410 と、第 1 及び第 2 の抵抗 422 及び 424 と、第 1 から第 4 までの電流源 432, 434, 436, 及び 438 とを含む。

【0020】負帰還抵抗装置 410 は、 $2n$ 個の負帰還抵抗 R_{A1} から R_{An} まで、及び、 R_{B1} から R_{Bn} まで、並びに、($2n+2$) 個のスイッチ S_{A1} から $S_{A(n+1)}$ まで、及び、 S_{B1} から $S_{B(n+1)}$ までを含む。ここで、 n は 1 より大きい整数である。図 1 の回路のように、スイッチ S_{A1} から $S_{A(n+1)}$ まで、及び、 S_{B1} から $S_{B(n+1)}$ までは、中央抵抗装置 R_c と、左外側抵抗装置 R_{LL} と、右外側抵抗 R_{LR} とを形成するように制御される。

【0021】第 3 及び第 4 のトランジスタ T_3 , T_4 の電流は、負帰還抵抗装置 410 の対称的に配置されたタップに注入される。このように、左外側抵抗装置 R_{LL} 及び右外側抵抗装置 R_{LR} は、ローカル・フィードバック・ループに含まれるが、依然として DC 電流を流す。この回路において、差動入力電圧のほとんどが、図 1 の回路と同様に、中央抵抗装置 R_c の両端に現れる。

【0022】従って、本発明の目的は、差動段のトランスコンダクタンスを制御する従来の技術に関する種々の欠点を克服するか、又は、少なくとも最小限にすることである。

【0023】

【課題を解決するための手段】本発明のこの目的及び他の目的を満たすため、本発明の一態様によれば、カスコード・トランスコンダクタ回路、即ち、カスコード出力段を備えたトランスコンダクタが提供される。このカスコード・トランスコンダクタは、トランスコンダクタと、第 1 から第 4 までの抵抗と、カスコード回路と、ダ

ミー・フォールデッド・カスコードとを含む。

【0024】トランスコンダクタは、第1入力電圧及び第2入力電圧を受け取り、第1内部電流及び第2内部電流を出力する。第1抵抗は、第1ノードと第3ノードとの間に接続され、第2抵抗は、前記第1ノードと第5ノードとの間に接続される。第1抵抗及び第2抵抗は、第1ノードで第1内部電流を受け取り、第3ノードに第3の内部電流を発生させる第1抵抗ディバイダを形成する。

【0025】第3抵抗は、第2ノードと第4ノードとの間に接続され、第4抵抗は、前記第2ノードと第5ノードとの間に接続される。第3抵抗及び第4抵抗は、第2ノードで第2内部電流を受け取り、第4ノードに第4内部電流を発生させる第2抵抗ディバイダを形成する。

【0026】カスコード回路は、第3内部電流及び第4内部電流を受け取り、第1出力電流及び第2出力電流を供給する。ダミー・フォールデッド・カスコードは、第5ノードに接続されている。ダミー・フォールデッド・カスコードは、シングルエンド形低インピーダンス入力フォールデッド・カスコードとしてもよい。

【0027】本発明の他の態様によれば、第1入力電圧及び第2入力電圧を受け取り、第1内部電流及び第2内部電流を出力するトランスコンダクタと、第1ノードで第1内部電流を受け取り、第3ノードに第3内部電流を発生させる第1抵抗回路網と、第2ノードで第2内部電流を受け取り、第4ノードに第4内部電流を発生させる第2抵抗回路網と、第3内部電流及び第4内部電流を受け取り、第1出力電流及び第2出力電流を供給するカスコード回路とを含むカスコード・トランスコンダクタ回路が提供される。

【0028】第1抵抗回路網は、第3ノードと第5ノードとの間に直列に接続された p 個の第1抵抗と、 $(p+1)$ 個の第1スイッチとを有してもよい。 $(p+1)$ 個の第1スイッチのそれぞれは、第1抵抗のそれぞれが $(p+1)$ 個の第1スイッチの内の二つに接続されるように、第1ノードと、 p 個の第1抵抗の内の一つの端部との間に接続される。同様に、第2抵抗回路網は、第4ノードと第5ノードとの間に直列に接続された p 個の第2抵抗と、 $(p+1)$ 個の第2スイッチとを有してもよい。 $(p+1)$ 個の第2スイッチのそれぞれは、第2抵抗のそれぞれが $(p+1)$ 個の第2スイッチの内の二つに接続されるように、第2ノードと、 p 個の第2抵抗の内の一つの端部との間に接続される。ここで、 p は1より大きい整数である。

【0029】第 i 番の第1抵抗及び第 i 番の第2抵抗は、同じ値を持つことが好ましい。この場合には、 i は、1から p までの整数である。動作中は、第1スイッチの内の一つ及び第2スイッチの内の一つのみが、所定の時点で閉じられることが好ましい。

【0030】第1スイッチ及び第2スイッチはそれぞ

れ、複数の制御信号の内の一つによって制御されるトランジスタを有してもよい。第1抵抗及び第2抵抗はそれぞれ、バイアス電圧によって制御されるトランジスタを有してもよい。

【0031】さらに他の態様によれば、第1入力電圧及び第2入力電圧を受け取り、第1内部電流及び第2内部電流を出力するトランスコンダクタと、第1ノードで第1内部電流を受け取り、第3ノードに第3内部電流を発生させる第1の $R-nR$ 回路網と、第2ノードで第2内部電流を受け取り、第4ノードで第4内部電流を発生させる第2の $R-nR$ 回路網と、第3内部電流及び第4内部電流を受け取り、第1出力電流及び第2出力電流を供給するカスコード回路とを有するカスコード・トランスコンダクタ回路が提供される。

【0032】前記第1の $R-nR$ 回路網は、前記第3ノードと第5ノードとの間に直列に接続された p 個の第1抵抗と、 $(p-1)$ 個の第2抵抗と、 $(p+1)$ 個の第1スイッチとを有し、前記 p 個の第1抵抗の内の二つの第1抵抗の接合部のそれぞれが前記 $(p-1)$ 個の第2抵抗の内の一つに接続されるように、前記 $(p-1)$ 個の第2抵抗のそれぞれが、前記第5ノードと、前記 p 個の第1抵抗の内の二つの第1抵抗の接合部との間に接続され、前記第1抵抗のそれぞれが前記 $(p+1)$ 個の第1スイッチの内の二つに接続されるように、前記 $(p+1)$ 個の第1スイッチのそれぞれが、前記第1ノードと、前記 p 個の第1抵抗の内の一つの第1抵抗の端部との間に接続されるようにしてもよい。同様に、前記第2の $R-nR$ 回路網が、前記第4ノードと前記第5ノードとの間に直列に接続された p 個の第3抵抗と、 $(p-1)$ 個の第4抵抗と、 $(p+1)$ 個の第2スイッチとを有し、前記 p 個の第3抵抗の内の二つの第3抵抗の接合部のそれぞれが前記 $(p-1)$ 個の第4抵抗の内の一つに接続されるように、前記 $(p-1)$ 個の第4抵抗のそれぞれが、前記第5ノードと、前記 p 個の第3抵抗の内の二つの第3抵抗の接合部との間に接続され、前記第3抵抗のそれぞれが前記 $(p+1)$ 個の第2スイッチの内の二つに接続されるように、前記 $(p+1)$ 個の第2スイッチのそれぞれが、前記第3ノードと、前記 p 個の第3抵抗の内の一つの第3抵抗の端部との間に接続されるようにしてもよい。

【0033】動作中は、第1スイッチの内の一つ及び第2スイッチの内の一つのみが、所定の時点で閉じることが好ましい。

【0034】第1スイッチ及び第2スイッチのそれぞれは、複数の制御信号の内の一つによって制御されるトランジスタを有してもよい。

【0035】第2番から第 $(p-1)$ 番までの第1抵抗及び第2番から第 $(p-1)$ 番までの第3抵抗は全て、第1抵抗値を持ち、第1番及び第 p 番の第1抵抗と、第1番及び第 p 番の第3抵抗と、 $(p-1)$ 個の第2抵抗

と、 $(p-1)$ 個の第4抵抗とは全て、第1抵抗値の整数倍にほぼ等しい第2抵抗値を持つことが好ましい。 $R-2R$ 回路網の場合には、第2抵抗値は、第1抵抗値の2倍とすべきである。

【0036】本発明の上記及び他の目的及び利点は、添付図面を参照して、以下の説明から明らかになるであろう。

【0037】

【発明の実施の形態】本発明は、入力電圧範囲のような入力トランスコンダクタのパラメータを維持しながら、カスコード・トランスコンダクタのトランスコンダクタンスを正確でデジタル式にプログラムする（設定する）方法を提供する。以下に説明される本発明の好ましい実施形態によれば、抵抗素子を流れるDC（直流）電流は無く、このことが、能動抵抗素子の特性の適合性を改善している。また、動作点は、スイッチ切替によって変動せず、このことが、動的に選択された構成要素に、より一層緩和された動作条件を許容する。これらの回路は、低い供給電圧における動作にも適している。

【0038】従来のフォールデッド・カスコード・トランスコンダクタのトランジスタ実施例が、図5及び図6に示されている。図5は、トランスコンダクタと、カスコード又はフォールデッド・カスコードとを示すブロック図であり、図6は、図5の回路のトランジスタ設計図である。図5の回路は、入力トランスコンダクタ510と、フォールデッド・カスコード540とを含む。この説明においては、フォールデッド・カスコードが説明されているが、レギュラー・カスコード（regular cascode）等のようないかなる種類の電流フォロワを使用することもできる。

【0039】入力トランスコンダクタ510は、電流源負荷回路530を備えたPMOS差動対520を含む。差動対520は、2個の差動トランジスタ T_{D1} 及び T_{D2} と、電流源トランジスタ T_{CS} とを含む。電流源負荷回路は、2個の負荷トランジスタ T_{L1} 及び T_{L2} を含む。

【0040】トランジスタ T_{D3} 、 T_{L1} 、及び T_{L2} に印加されるバイアス電圧 V_{BP} 、 V_{BN} は、第1差動トランジスタ T_{D1} 及び第1負荷トランジスタ T_{L1} を通し、及び、第2差動トランジスタ T_{D2} 及び第2負荷トランジスタ T_{L2} を通して同じDC電流を生成する回路によって生成される。このように、トランスコンダクタ出力電流のそれぞれの正味のDC成分は、ゼロ（零）である。

【0041】フォールデッド・カスコード540は、減算器／増幅器542と、差動フォールデッド・カスコードとして接続された第1から第4までのフォールデッド・カスコード・トランジスタ T_{FC1} 、 T_{FC2} 、 T_{FC3} 、及び T_{FC4} と、第1及び第2の電流源負荷5
($R_1=R_3$) ; ($R_2=R_4$)

52及び554とを含む。コモン・モードが、減算器／増幅器542を含むフィードバックループによって設定される。フォールデッド・カスコード・トランジスタ T_{FC1} 、 T_{FC2} 、 T_{FC3} 、及び T_{FC4} は、電流フォロワとして動作するように接続される。フォールデッド・カスコード540の入力インピーダンスを下げ、出力インピーダンスを上げるために、ゲイン増加が第1及び第2のフォールデッド・カスコード・トランジスタ T_{FC1} 及び T_{FC2} に適用されることができる。

【0042】以下の好ましい実施形態のほとんどは、フォールデッド・カスコードについて説明されているが、それぞれの場合において、カスコードも同様に用いられることができる。フォールデッド・カスコードの入力インピーダンスは、ゲイン増加のような技術によって著しく下げることができるので、フォールデッド・カスコード入力インピーダンスは、電流分割の誤差を適当な値に保つのに十分低いと考えられる。したがって、簡単のために、以下の計算式において、フォールデッド・カスコード入力インピーダンスは、ゼロ（零）であるとみなされている。

【0043】図7は、中間に位置する抵抗ディバイダを備えた従来のフォールデッド・カスコード・トランスコンダクタ700を示す回路図である。図7に示されるように、フォールデッド・カスコード・トランスコンダクタ700は、トランスコンダクタ510と、第1及び第2の抵抗ディバイダ720及び730と、カスコード又はフォールデッド・カスコード540とを有する。第1抵抗ディバイダは、第1及び第2の抵抗 R_1 及び R_2 を含む。第2抵抗ディバイダは、第3及び第4の抵抗 R_3 及び R_4 を含む。

【0044】差動入力電圧 $v_{in} = (v_{in1} - v_{in2})$ に応じて（トランスコンダクタンス g_m を持つ）トランスコンダクタ510により生成された差動電流は、第1及び第2の抵抗ディバイダ520及び530によって舵取り（ステアリング）される。第2及び第4の抵抗 R_2 及び R_4 を流れる電流はそれぞれ、カスコード又はフォールデッド・カスコード（FC）としての低入力インピーダンス段に入力する。

【0045】第1から第4までの抵抗 R_1 から R_4 までは、以下の式にしたがって、同じ比率を持つように選択されることが望ましい。

【数4】

$$\frac{R_1}{R_2} = \frac{R_3}{R_4} \quad (3)$$

【0046】式（3）の条件は、提案された回路を理想的に実施する正確な機能にとって十分である。しかし、実際のトランスコンダクタの2個の分岐の同じ負荷に関しては、以下の等式を考える。

$$(4)$$

$x = R_1 / (R_1 + R_2)$ と定義すると、フォールデッド・カスコードに注入されるAC電流は、以下のようになることがわかる。

【数5】

$$i_3 = \left(\frac{R_1}{R_1 + R_2} \right) i_1 = x \cdot i_1 = \left(x \cdot \frac{g_m}{2} \right) v_{dif} \quad (5)$$

$$i_4 = \left(\frac{R_3}{R_3 + R_4} \right) i_2 = x \cdot i_2 = \left(x \cdot \frac{g_m}{2} \right) v_{dif} \quad (6)$$

10

$$i_{out1} = i_3 ; \quad i_{out2} = i_4 ; \quad (7)$$

である。差動出力電流は、

$$\begin{aligned} i_{odif} &= (i_{out1} - i_{out2}) \\ &= (x \cdot g_m) \cdot v_{dif} \\ &= (g_m)_{eq} \cdot v_{dif} ; \end{aligned} \quad (8)$$

である。

【0047】従って、回路全体は、低下した等価トランスコンダクタンス $(g_m)_{eq} = (x \cdot g_m)$ を有するトランスコンダクタとして動作する。ここで、 $0 \leq x \leq 1$ である。トランスコンダクタンス g_m の値は、トランスコンダクタのバイアス電流によって設定される。バイアスは、固定にするか、温度又は基準信号の周波数等のような要素に依存させることができる。開示された回路は、トランスコンダクタンスの正確な割合を得る手段を提供する。

【0048】本発明の第1及び第2の好ましい実施形態が、図8及び図9に示される。特に、図8は、本発明の第1の好ましい実施形態による、中間に位置する抵抗ディバイダ及びダミー差動フォールデッド・カスコード・バイアスを備えたフォールデッド・カスコード・トランスコンダクタ800の回路図である。

【0049】図8の回路において、図7において R_1 及び R_3 に接続されたACグランド電位は、ダミー・フォールデッド・カスコード850によって提供される。ダミー・フォールデッド・カスコード850は、能動的なフォールデッド・カスコード540と同じ入力回路及びバイアスを持つ。フォールデッド・カスコード540及びダミー・フォールデッド・カスコード850は、抵抗 R_1 、 R_2 、 R_3 、及び R_4 の端部に同じDC電圧を提供する。このように、これらの抵抗を流れるDC電流は無い。

【0050】図9は、本発明の第2の好ましい実施形態による、中間に位置する抵抗ディバイダ及びダミー・シングルエンド形・フォールデッド・カスコード・バイアスを備えたフォールデッド・カスコード・トランスコンダクタ900を示す回路図である。図9の回路は、ダミー・フォールデッド・カスコード850が、単一低インピーダンス入力フォールデッド・カスコード950に置き換えられた点を除き、図8のものと同一である。トランスコンダクタ510からの出力電流の差動特性によ

20

30

40

50

ここで、 g_m は、トランスコンダクタ510のトランスコンダクタンスであり、 v_{dif} は、 $(v_{in1} - v_{in2})$ である。フォールデッド・カスコードは、電流フォロウとして動作し、ここで、

り、これは可能である。

【0051】図10は、本発明の第3及び第4の好ましい実施形態による切替え可能なトランスコンダクタンスを持つ中間に位置する抵抗回路網を備えたフォールデッド・カスコード・トランスコンダクタ1000を示す回路図である。図10の回路は、図9の回路から派生したものである。トランスコンダクタ回路は、入力トランスコンダクタ510と、第1及び第2の抵抗回路網1020及び1030と、出力フォールデッド・カスコード540と、バイアスを与えるダミー・シングルエンド形・フォールデッド・カスコード950とを含む。第1抵抗回路網は、回路網内に接続された複数個の第1抵抗 R_{A1} から R_{An} までと、トランスコンダクタ510の出力を第1抵抗回路網1020の対称的なタップに接続する複数個の第1スイッチ S_{A1} から S_{An+1} までとを含む。同様に、第2抵抗回路網1030は、回路網内に接続された複数個の第2抵抗 R_{B1} から R_{Bn} までと、トランスコンダクタ510の出力を第2抵抗回路網1030の対称的なタップに接続する複数個の第2スイッチ S_{B1} から S_{Bn+1} までとを含む。それぞれの場合において、 n は1より大きい整数である。

【0052】 $k=1, \dots, n$ に対して $R_{Ak} = R_{Bk} = R_k$ であり、スイッチ S_{Ak} 及び S_{Bk} がオンになり、他の全てのスイッチがオフになったときである場合には、出力電流について以下の等式が成立する。抵抗の値 R_k は、必ずしも同じである必要はない。即ち、 $(R_{A1} = R_{B1} = R_1)$ 、 $(R_{A2} = R_{B2} = R_2)$ 、 \dots 、 $(R_{An} = R_{Bn} = R_n)$ であるが、 $(R_1 = R_2 = R_n)$ が必ずしも成立する必要はない。

【数6】

$$i_{out1}(n+1) = 0 \quad (9)$$

$$i_{out1}(k) = \left(\frac{\sum_{j=k}^n R_{Aj}}{\sum_{j=1}^n R_{Aj}} \right) i_1 = \left(\frac{\sum_{j=k}^n R_j}{\sum_{j=1}^n R_j} \right) i_1 \quad (10)$$

ここで、 $k = 1, 2, \dots, n$ である。

$$\text{【数 7】} \quad i_{out2}(n+1) = 0 \quad (11)$$

$$i_{out2}(k) = \left(\frac{\sum_{j=k}^n R_{Bj}}{\sum_{j=1}^n R_{Bj}} \right) i_2 = \left(\frac{\sum_{j=k}^n R_j}{\sum_{j=1}^n R_j} \right) i_2 \quad (12)$$

ここで、 $k = 1, 2, \dots, n$ である。

【0053】回路全体の等価トランスコンダクタンスは、

$$\text{【数 8】} \quad (g_m)_{eq}(n+1) = 0 \quad (13)$$

$$(g_m)_{eq}(k) = \left(\frac{\sum_{j=k}^n R_j}{\sum_{j=1}^n R_j} \right) g_m \quad (14)$$

であり、 $k = 1, 2, \dots, n$ である。

【0054】図11は、本発明の第3の好ましい実施形態による、図10の回路のより詳細な回路図である。より具体的には、図11は、図10に示された回路の抵抗／トランジスタ実施例である。トランスコンダクタ510からのDC無しの出力電流 i_1 及び i_2 は、複数のNMOSスイッチング・トランジスタ(STA1からSTAnまで、及び、STB1からSTBnまで)によって表わされたデジタル式に制御されるスイッチ(トランスファ・ゲート)を通じて2個の抵抗回路網1020(RA1からRAnまで)及び1030(RB1からRBnまで)の対称的なタップに分配される。それぞれの抵抗回路網の一端は、フォールデッド・カスコード540の入力ノードC又はDに結ばれる。それぞれの抵抗の他端は、バイアス回路・ダミー・フォールデッド・カスコード950(TDFC1, TDFC2)のバイアス点Eに接続される。バイアス点Eは、フォールデッド・カスコード540の2個の分岐に繋がれ、出力トランジスタTFC3及びTFC4と同じVFC電圧によってバイアスされる。このように、ノードC, D, 及びEにおける電圧は同等である。

$$V_C = V_D = V_E \quad (24)$$

このことは、入力トランスコンダクタが、(|I

DTD1 | = I DTL1) 及び(|I DTD2 | = I DTL2)を持つようにバイアスされたときに、抵抗回

路網1020及び1030を流れる正味のDC電流が無いことを意味する。

【0055】スイッチは、制御信号C1からCnまでによって制御されるのが好ましい。一度に、アクティブな唯一のCk ($k = 1, \dots, n+1$) 信号があることが好ましい。制御信号C1からCn+1までを生成する可能な方法には、デジタル制御言語(digital control word)を復号化することによるものがある。

【0056】もしもCkがアクティブ(NMOSスイッチの場合、ハイレベル)で、他の制御信号の全てがアクティブでないならば、その回路の全トランスコンダクタンスは、上記式(13)及び(14)に従って機能する。

【0057】抵抗回路網1020及び1030の抵抗は、不純物を含むポリシリコン又は金属抵抗のような受動素子か、能動抵抗のいずれかであることができる。

【0058】図12は、本発明の第5の好ましい実施形態による、図10の回路のより詳細な回路図である。より具体的には、図12は、抵抗がトランジスタ(TRA1からTRANまで、及び、TRB1からTRBnまで)によって置き換えられている、図10の回路のトランジスタ実施例である。これらのトランジスタのドレイン・ソース電圧は、公称ゼロ(零)である。トランジスタは、三極管モードで動作する。2乗モデル(square-law model)である第k番のトランジスタのドレイン・ソース抵抗Rkは、

【数9】

$$R_k = \frac{1}{\beta_k (V_{GSk} - V_{TH})} \quad (25)$$

となる。ここで、 β_k は、強反転(strong inversion)におけるトランスファ・パラメータ(transfer parameter)

【数10】

$$\left[\mu \cdot C_{ox} \left(\frac{W}{L} \right)_k \right]$$

であり、VGSkはゲート・ソース間電圧であり、VTHは第k番のトランジスタのしきい値である。

【0059】この例の全てのトランジスタのゲートは、第1から第4までのチェーン・トランジスタ(chain transistors)Tc1, Tc2, Tc3, 及びTc4を含むバイアス電圧発生器1260によって生成された同じ電圧VBGによってバイアスされることが望ましい。

「抵抗」チェーンにおけるトランジスタに流れるDC電流は無いので、それらのソース電圧は同じ(VB)である。その結果、ゲート・ソース間電圧は、前記チェーンにおける全てのトランジスタにとって同じである。

【数11】

$$\frac{Rds_k}{Rds_j} = \frac{\left(\frac{W_k}{L_k}\right)}{\left(\frac{W_j}{L_j}\right)} \quad (26)$$

W_k 及び L_k はそれぞれ第 k 番のトランジスタの幅と長さであり、 W_j 及び L_j はそれぞれ第 j 番のトランジスタの幅と長さである。

【0060】図13は、本発明の第5の好ましい実施形態による、指数関数的に制御される切替え可能なトランスコンダクタンスを持つ中間に位置する $R-nR$ 回路網を備えたフォールデッド・カスコード・トランスコンダクタを示す回路図である。この実施形態においては、第1及び第2の抵抗回路網1020及び1030は、第1及び第2の $R-nR$ 回路網1320及び1330（代わりに、抵抗ディバイダ回路網と呼ばれる。）によって置き換えられた。例として、図13の回路は、具体的に第1及び第2の $R-2R$ 回路網の使用を示しているが、 n に他の値を用いてよいのは明らかである。

【0061】図13における $R-2R$ 回路網1320及び1330の内の一つは、トランスコンダクタ510のそれぞれの出力ラインに接続される。また、 $R-2R$ 回路網1320及び1330の $2R$ 本の分岐の内の一つを除く全ては、ダミー・シングルエンド形・フォールデッド・カスコード950のバイアス点Eに接続される。第

$$i_{out1}(0) = 0$$

$$i_{out1}(k) = \left(\frac{2^k}{3 \cdot 2^{n-1}}\right) i_1 \quad k = 1, 2, \dots, n-1 \quad (16)$$

$$i_{out1}(n) = i_1 \quad (17)$$

$$i_{out2}(0) = 0 \quad (18)$$

$$i_{out2}(k) = \left(\frac{2^k}{3 \cdot 2^{n-1}}\right) i_2 \quad k = 1, 2, \dots, n-1 \quad (19)$$

$$i_{out2}(n) = i_2 \quad (20)$$

となる。

【0064】その結果、全体のトランスコンダクタンスは、

【数13】

1及び第2の回路網1320及び1330の内部ノードのそれぞれには、 A_1 から A_n まで、及び、 B_1 から B_n までが付されている。

【0062】トランスコンダクタ510の出力は、スイッチ S_{A1} から $S_{A(n-1)}$ まで、及び S_{B1} から $S_{B(n-1)}$ までを介してノード A_1 から $A_{(n-1)}$ まで、及び、 B_1 から $B_{(n-1)}$ までにそれぞれ接続されることができる。スイッチ S_{A0} 及び S_{B0} は、トランスコンダクタ510の出力部をバイアス点Eに接続し、これにより電流を出力段のフォールデッド・カスコード540に流さない。スイッチ S_{An} 及び S_{Bn} は、トランスコンダクタ510の出力部に対応するフォールデッド・カスコード540の入力部に直接に接続し、これにより抵抗ディバイダ回路網1320及び1330を迂回させる。それぞれの回路網1320及び1330において一度に閉じられるスイッチは、一つのみであるべきである。

【0063】トランスコンダクタ510の反転出力部が、スイッチ S_{Ak} を通して第1の回路網1320のノード A_k に接続され、トランスコンダクタ510の非反転出力部が、スイッチ S_{Bk} を通して第2の回路網1330のノード B_k に接続されるとき、出力電流 i_{out1} 及び i_{out2} は、

【数12】

$$(15)$$

$$(g_m)_{eq}(0) = 0 \quad (21)$$

$$(g_m)_{eq}(k) = \left(\frac{2^k}{3 \cdot 2^{n-1}}\right) g_m \quad k = 1, 2, \dots, n-1 \quad (22)$$

$$(g_m)_{eq}(n) = g_m \quad (23)$$

となる。

【0065】したがって、図13の回路は、トランスコンダクタンスのためのプログラム可能な指数関数的減衰器として動作する。

【0066】図14は、図13の回路のより詳細な回路図である。図14に示されるように、トランスコンダクタ510からのDC無し出力電流 i_1 及び i_2 は、それぞれが本実施形態においてNMOSスイッチング・トランジスタ(STA0 からSTAn まで、及び、STB0 からSTBn まで)として示されるデジタル式に制御されるスイッチ(トランスファ・ゲート)によって、

(ノードAk 及びBk を経由して。ここで、 $k=1, 2, \dots, n-1$ である。)2個のR-2R抵抗回路網の対称的なタップに、又は、(ノードAn 及びBn を経由して)フォールデッド・カスコードの入力部C、Dに直接、又は、ダンプ・ノード(dump node)Eに、分配される。抵抗回路網1320及び1330のノードAn 及びBn はそれぞれ、フォールデッド・カスコード540の入力部を示すノードD及びCに一致する。2R個の抵抗のダンプ・エンド(dump ends)は、ダミー・シングルエンド形・フォールデッド・カスコード・バイアス回路950のノードEに接続される。バイアス回路950は、フォールデッド・カスコードの2本の分岐に繋がれ、出力トランジスタTFC3 及びTFC4 と同じ電圧VFC によりバイアスされている。その結果、抵抗回路網1320及び1330を流れる正味のDC電流は無い。

【0067】スイッチは、制御信号Co からCn までによって制御される。一度に一つの制御信号Ck ($k=0, 1, \dots, n$)のみがアクティブであるべきである。Co からCn までの制御信号を生成する一つの可能な方法は、デジタル制御言語を復号化することによるものである。

【0068】もしもCk がアクティブであり(NMOSスイッチングトランジスタの場合はハイレベル)であり、他の制御信号の全てがアクティブでないならば、そのとき、その回路の全体のトランスコンダクタンスは、上記式(21)、(22)、及び(23)に従って動作する。

【0069】図15は、本発明の第6の好ましい実施形態による、切替え可能なトランスコンダクタンスを持つ中間に位置する抵抗回路網を備えたレギュラー・カスコード・トランスコンダクタの実施例を示す回路図である。フォールデッド・カスコードが後段に備えられたトランスコンダクタのために図11において実行される動作原理は、図15の回路において、レギュラー・カスコードが後段に備えられたトランスコンダクタに適用される。この回路は、第1及び第2の抵抗回路網1020及び1030が後段に備えられた入力トランスコンダクタ510と、カスコード電流フォロワ1540と、バイア

ス電圧発生器1570とを有する。

【0070】カスコード電流フォロワ1540は、第1から第6までのカスコード・トランジスタTc1 からTc6 までと、減算器/増幅器1542とを含む。バイアス電圧発生器1570は、第1及び第2のバイアス・トランジスタTB1 及びTB2 を含む。

【0071】全体の回路のバイアス電圧VBP , VBN は、入力トランスコンダクタの出力DC電流をほぼゼロ(零)にする回路によって設定されるのが好ましい。その結果、ノードC、D、及びFにおける電圧は等しい。 $V_C = V_D = V_F$ (24)

【0072】トランスコンダクタ510の出力電流(i_1 及び i_2)は、図11の回路のために説明されたものと同様に、抵抗回路網1020及び1030によって変倍される。変倍された電流 i_3 及び i_4 は、カスコード・ブロック1540の低インピーダンスに入力する。

【0073】変倍された電流 i_3 及び i_4 は、それぞれ、高インピーダンス出力部 i_{out1} 及び i_{out2} に伝送される。全トランスコンダクタンスに対する電流ディバイダ(抵抗回路網1020及び1030)の影響は、上記式(13)及び(14)によって説明される。

【0074】また、図10及び図13に示される回路も、フォールデッド・カスコード回路にはもちろんカスコード・トランスコンダクタ回路にも適用できる。

【0075】他の実施形態においては、もしもカスコード又はフォールデッド・カスコードの入力インピーダンスが十分低ければ、同じ入力に並列に数個の抵抗回路網を接続することが可能である。

【0076】さらにまた、これらの技術は、同様に、BiCMOS(バイポーラCMOS)実施例のような他のテクノロジーに適用可能である。

【0077】本発明は、特定の代表的な実施形態によって説明されており、本発明の多くの特徴及び利点は、記載された説明から明らかになっている。したがって、添付の特許請求の範囲が本発明のそのような特徴及び利点を全てカバーすることが、意図されている。また、多くの修正及び変更が本技術の専門家に容易に生じるので、図示及び説明された構成及び動作そのものに本発明を限定することは意図されていない。したがって、適切な変更及び等価物は本発明の範囲に含まれるものと解釈され得る。

【図面の簡単な説明】

【図1】 プログラム可能なソース負帰還抵抗を有する従来のトランスコンダクタを示す回路図である。

【図2】 電流ステアリング用の調整がなされたトランジスタを採用する従来の連続的に調整可能なトランスコンダクタを示す回路図である。

【図3】 差動段電流ステアリングを採用する従来の連続的に調整可能なトランスコンダクタを示す回路図である。

【図 4】 切替え可能なゲインを有する従来の増幅器を示す回路図である。

【図 5】 差動出力フォールデッド・カスコードを備えた従来のトランスコンダクタを示す回路図である。

【図 6】 入力段用の分離された負荷を持つ図 5 の回路の回路図である。

【図 7】 中間に位置する抵抗ディバイダを備えた従来のフォールデッド・カスコード・トランスコンダクタを示す回路図である。

【図 8】 本発明の第 1 の好ましい実施形態による、中間に位置する抵抗ディバイダ及びダミー差動フォールデッド・カスコード・バイアスを備えたフォールデッド・カスコード・トランスコンダクタの回路図である。

【図 9】 本発明の第 2 の好ましい実施形態による、中間に位置する抵抗ディバイダ及びダミー・シングルエンド形・フォールデッド・カスコード・バイアスを備えたフォールデッド・カスコード・トランスコンダクタを示す回路図である。

【図 10】 本発明の第 3 及び第 4 の好ましい実施形態による、切替え可能なトランスコンダクタンスを持つ中間に位置する抵抗回路網を備えたフォールデッド・カスコード・トランスコンダクタを示す回路図である。

【図 11】 本発明の第 5 の好ましい実施形態による、図 10 の回路のより詳細な回路図である。

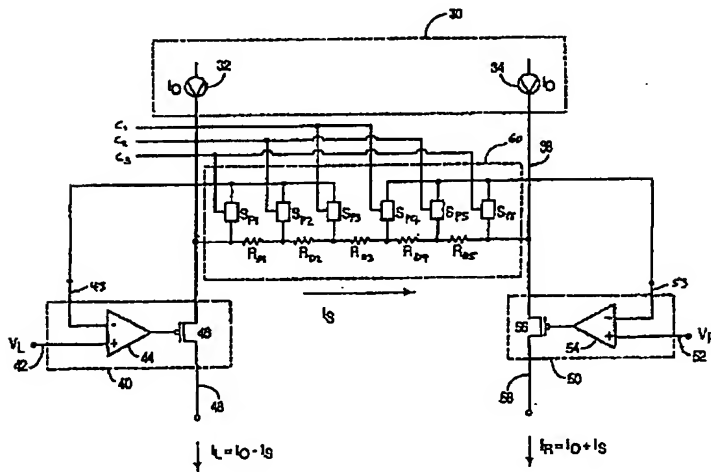
【図 12】 本発明の第 6 の好ましい実施形態による、図 10 の回路のより詳細な回路図である。

【図 13】 本発明の第 7 の好ましい実施形態による、指数関数的に制御される切替え可能なトランスコンダクタンスを持つ中間に位置する $R-nR$ 回路網を備えたフォールデッド・カスコード・トランスコンダクタを示す回路図である。

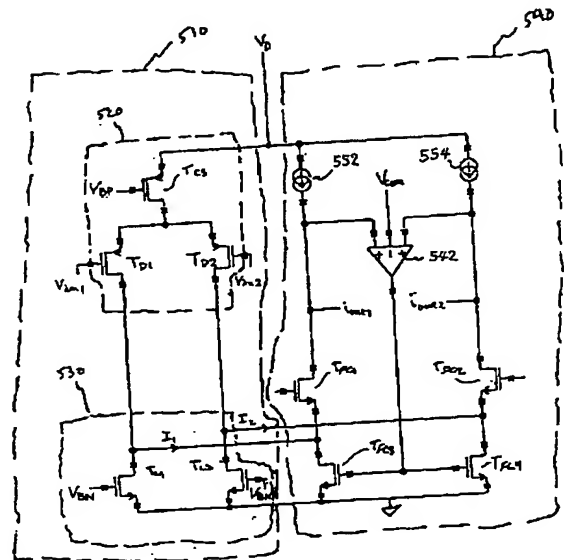
【図 14】 図 13 の回路のより詳細な回路図である。

【図 15】 本発明の第 8 の好ましい実施形態による、切替え可能なトランスコンダクタンスを持つ中間に位置する抵抗回路網を備えたレギュラー・カスコード・トランスコンダクタの実施例を示す回路図である。

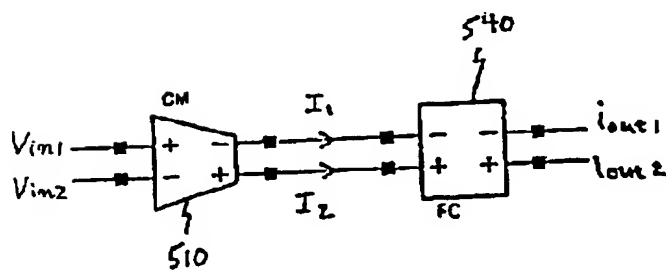
【図 1】



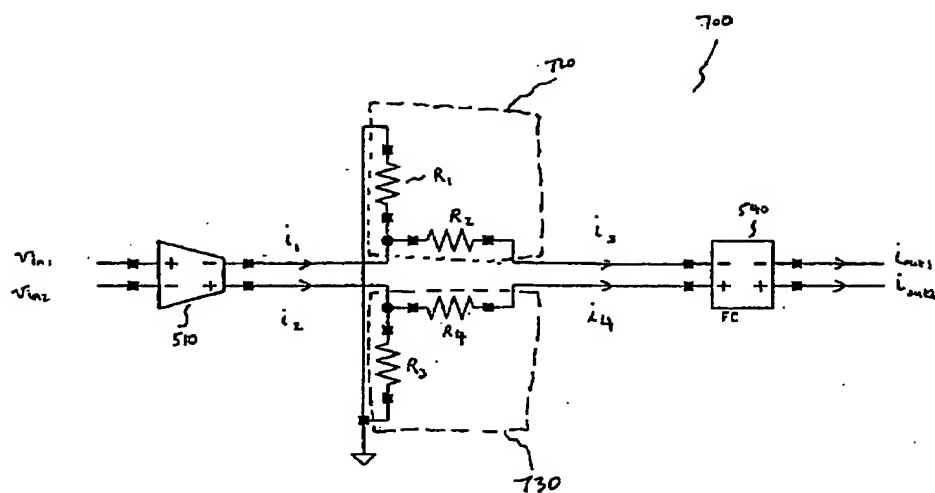
【図 6】



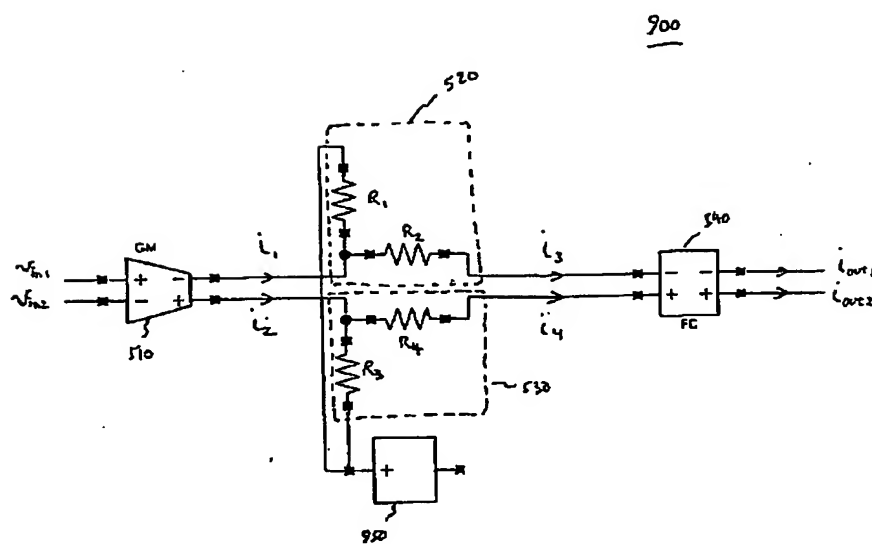
【図 5】



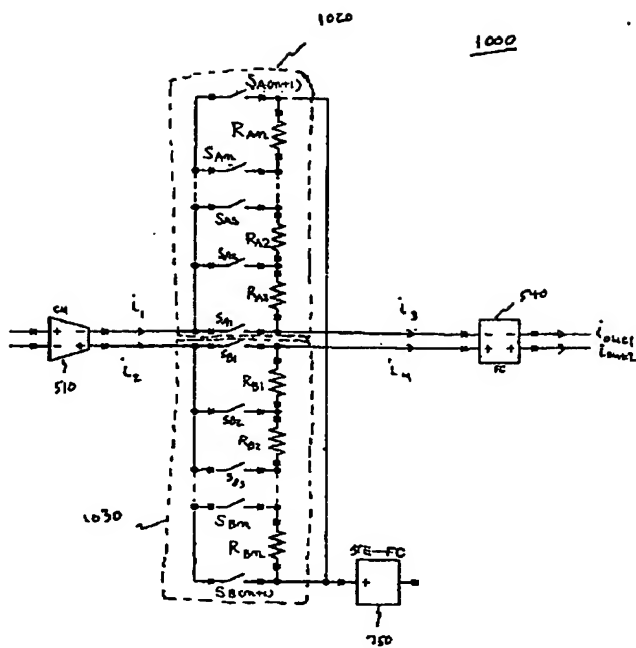
【図 7】



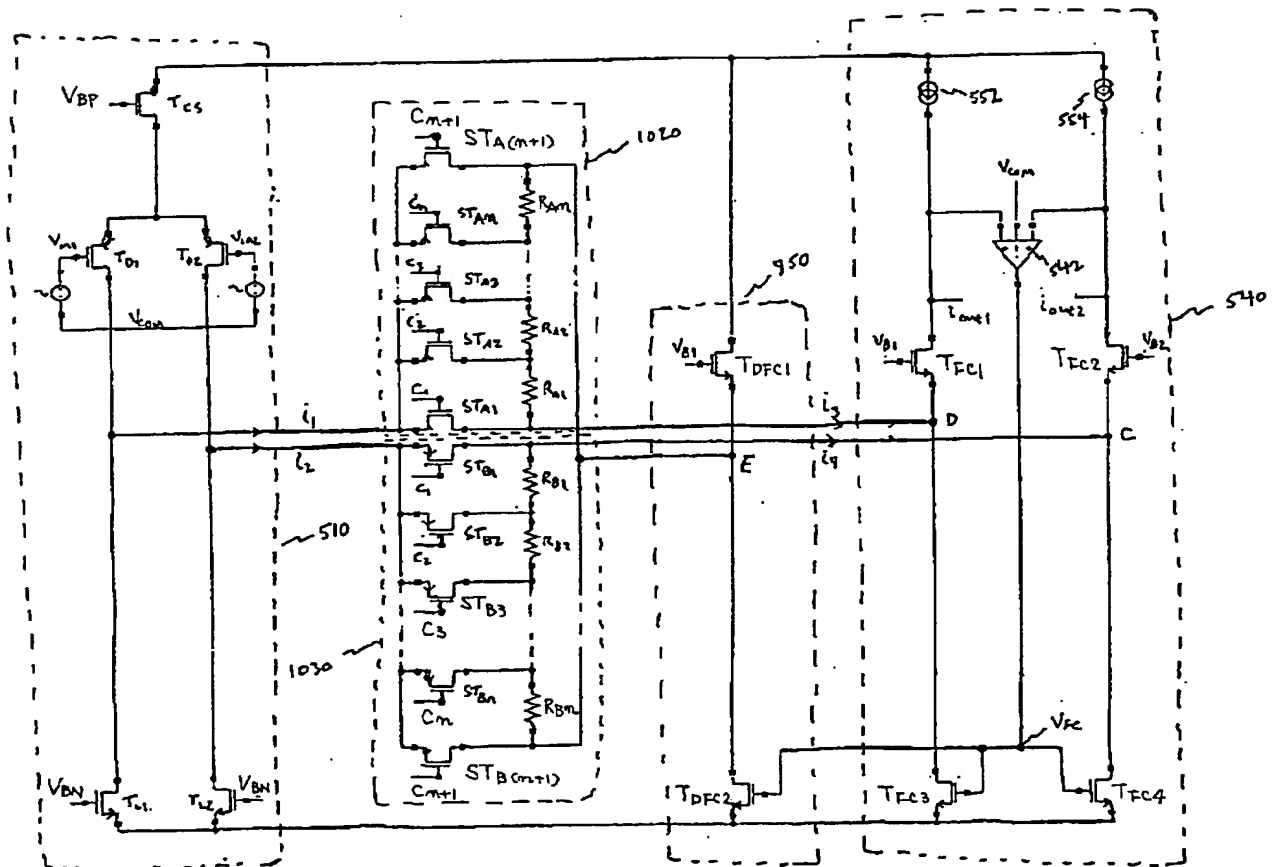
【図 9】



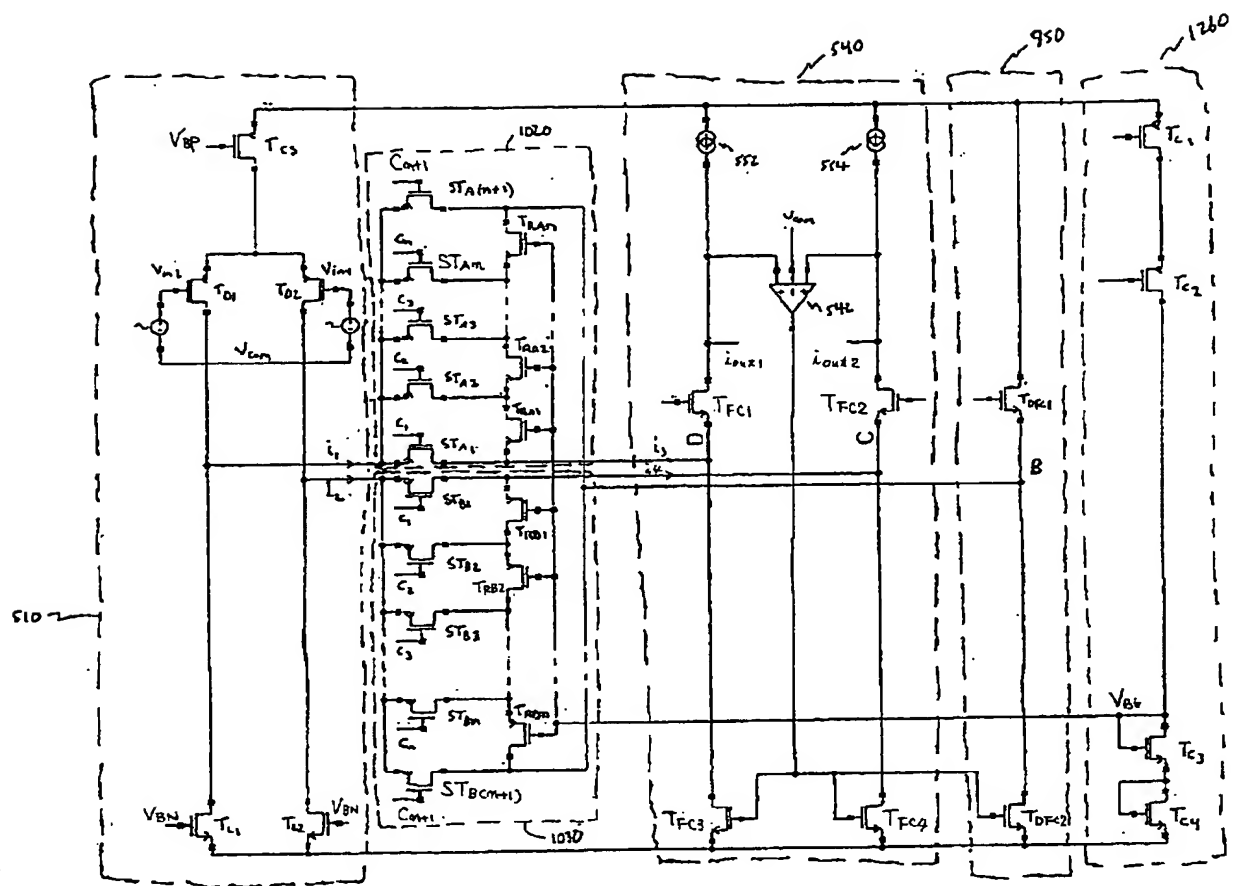
【図 10】



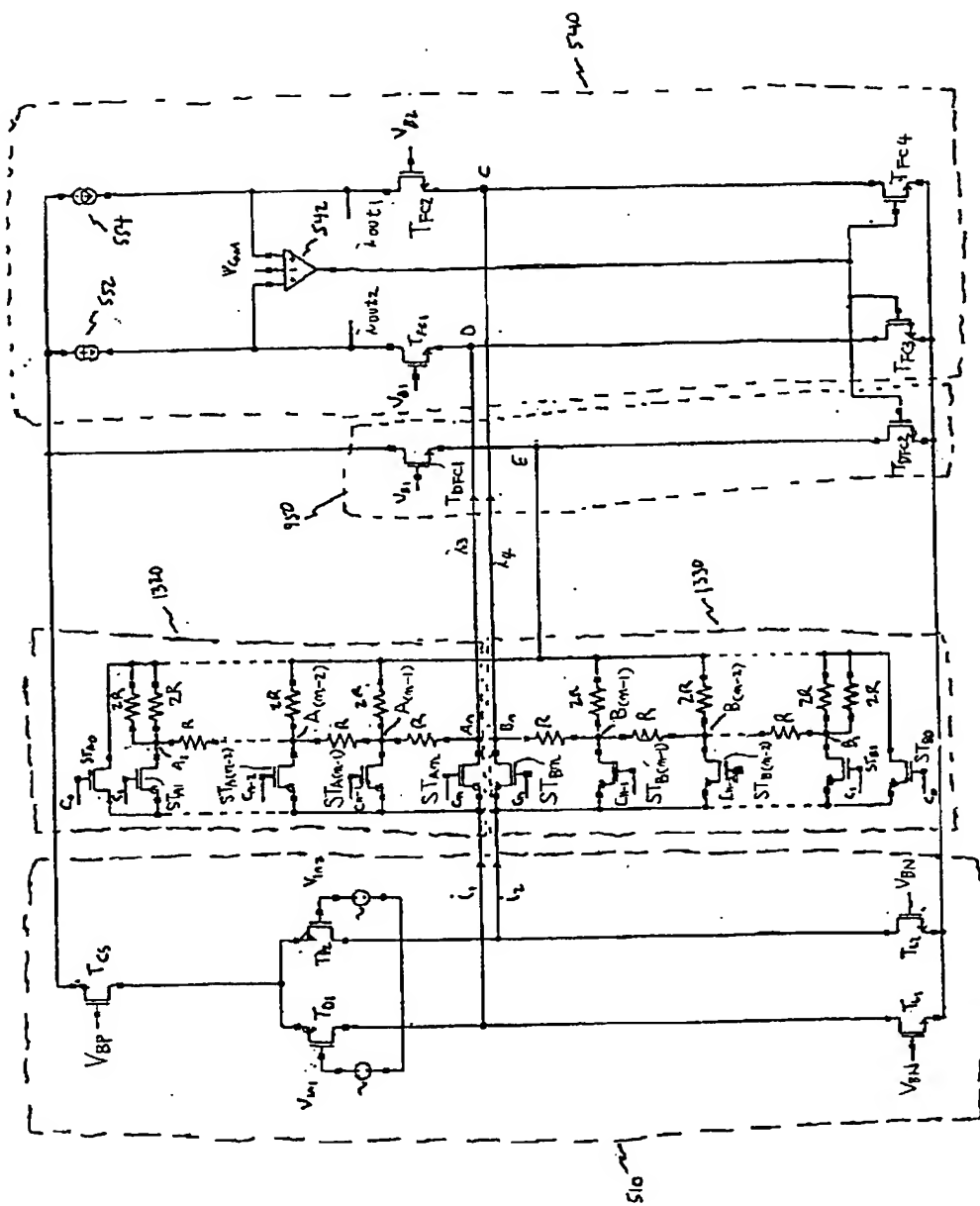
【図 11】



【図12】



【図14】



フロントページの続き

(71)出願人 501377092
785 North Mary Avenue
Sunnyvale, CA 94086
-2909, U. S. A.

Fターム(参考) 5J092 AA01 AA13 AA42 CA88 FA13
HA10 HA17 HA25 HA38 HA39
KA00 KA01 KA02 KA05 KA26
MA04 MA13 MA17 TA01

【外国語明細書】

1. Title of Invention

DIGITALLY PROGRAMMABLE TRANSCONDUCTOR

2. Claims

1. A cascode transconductor circuit, comprising:

a transconductor receiving first and second input voltages, and outputting first and second internal currents;

a first resistor connected between first and third nodes;

a second resistor connected between the first node and a fifth node,

wherein the first and second resistors form a first resistive divider that receives the first internal current at the first node, and generates a third internal current at the third node;

a third resistor connected between second and fourth nodes;

a fourth resistor connected between the second node and the fifth node,

wherein the third and fourth resistors form a second resistive divider that receives the second internal current at a second node, and generates a fourth internal current at a fourth node;

a cascode circuit receiving the third and fourth internal currents and supplying first and second output currents; and

a dummy folded-cascode connected to the fifth node.

2. A cascode transconductor circuit, as recited in claim 1, wherein the dummy folded-cascode is a single-ended low-impedance input folded-cascode.

3. A cascode transconductor circuit, comprising:

a transconductor receiving first and second input voltages, and outputting first and second internal currents;

a first resistor network receiving the first internal current at a first node, and generating a third internal current at a third node;

a second resistor network receiving the second internal current at a second node, and generating a fourth internal current at a fourth node; and

a cascode circuit receiving the third and fourth internal currents and supplying first and second output currents.

4. A cascode transconductor circuit, as recited in claim 3, wherein the cascode circuit is a folded-cascode.

5. A cascode transconductor circuit, as recited in claim 3, wherein the cascode circuit is a regular cascode

6. A cascode transconductor circuit, as recited in claim 3,

wherein the first resistor network comprises

p first resistors connected in series between the third node and a fifth node;

and

($p+1$) first switches, each connected between the first node and an end of one of the p first resistors, such that each first resistor is connected to two of the ($p+1$) first switches; and

wherein the second resistor network comprises

p second resistors connected in series between the fourth node and the fifth node; and

($p+1$) second switches, each connected between the second node and an end of one of the p second resistors, such that each second resistor is connected to two of the ($p+1$) second switches,

where p is an integer greater than 1.

7. A cascode transconductor circuit, as recited in claim 6, wherein the fifth node is connected to an AC ground voltage.

8. A cascode transconductor circuit, as recited in claim 6,
wherein the cascode transconductor circuit further comprises a dummy folded-cascode, and

wherein the fifth node is connected to the dummy folded-cascode.

9. A cascode transconductor circuit, as recited in claim 8, wherein the dummy folded-cascode is a single low-impedance input folded-cascode.

10. A cascode transconductor circuit, as recited in claim 6, wherein during operation, only one of the first switches and one of the second switches are closed at a given time.

11. A cascode transconductor circuit, as recited in claim 6, wherein the first and second switches each comprise a transistor controlled by one of a plurality of control signals.

12. A cascode transconductor circuit, as recited in claim 6, wherein the first and second resistors each comprise a transistor controlled by a bias voltage.

13. A cascode transconductor circuit, as recited in claim 6, wherein the i^{th} first resistor and the i^{th} second resistor have the same value, where i is an integer between 1 and p .

14. A cascode transconductor circuit, comprising:
a transconductor receiving first and second input voltages, and outputting first and second internal currents;
a first R-nR network receiving the first internal current at a first node, and generating a third internal current at a third node;

a second R-nR network receiving the second internal current at a second node, and generating a fourth internal current at a fourth node; and

a cascode circuit receiving the third and fourth internal currents and supplying first and second output currents.

15. A cascode transconductor circuit, as recited in claim 14, wherein the cascode circuit is a folded-cascode.

16. A cascode transconductor circuit, as recited in claim 14, wherein the cascode circuit is a regular cascode

17. A cascode transconductor circuit, as recited in claim 14,
wherein the first R-nR network comprises

p first resistors connected in series between the third node and a fifth node;

$(p-1)$ second resistors, each connected between the fifth node and a connection between two of the p first resistors, such that each meeting of two of the p first resistors is connected to one of the $(p-1)$ second resistors; and

$(p+1)$ first switches, each connected between the first node and an end of one of the p first resistors, such that each first resistor is connected to two of the $(p+1)$ first switches; and

wherein the second R-nR network comprises

p third resistors connected in series between the fourth node and the fifth node;

$(p-1)$ fourth resistors, each connected between the fifth node and a connection between two of the p third resistors, such that each meeting of two of the p third resistors is connected to one of the $(p-1)$ fourth resistors; and

$(p+1)$ second switches, each connected between the third node and an end of one of the p third resistors, such that each third resistor is connected to two of the $(p+1)$ second switches.

18. A cascode transconductor circuit, as recited in claim 17, wherein the fifth node is connected to an AC ground voltage.

19. A cascode transconductor circuit, as recited in claim 17, wherein the cascode transconductor circuit further comprises a dummy folded-cascode, and

wherein the fifth node is connected to the dummy folded-cascode.

20. A cascode transconductor circuit, as recited in claim 19, wherein the dummy folded-cascode is a single low-impedance input folded-cascode.

21. A cascode transconductor circuit, as recited in claim 17, wherein during operation, only one of the first switches and one of the second switches are closed at a given time.

22. A cascode transconductor circuit, as recited in claim 17, wherein each of the first and second switches comprises a transistor controlled by one of a plurality of control signals.

23. A cascode transconductor circuit, as recited in claim 17,
wherein the 2nd through (p-1)th first resistors and the 2nd through (p-1)th third resistors all have a first resistance value,
wherein the 1st and pth first resistors, the 1st and pth third resistors, the (p-1) second resistors, and the (p-1) fourth resistors all have a second resistance value substantially equal to an integral multiple of the first resistance value.

24. A cascode transconductor circuit, as recited in claim 23, wherein the second resistance value is twice the first resistance value.

3. Detailed Description of Invention

BACKGROUND OF THE INVENTION

The present invention relates to ways of controlling the transconductance of a differential stage with active load followed by a cascode current follower (transconductor) in discrete steps. More particularly, the present invention proposes a transconductor with a digitally programmable transconductance and substantially constant DC operating point. The present invention also proposes an accurate transconductance setting that depends on a master value and on ratios of similar components integrated on the same chip.

The basic setting of the transconductance of a differential stage is through a tail current. The DC operating point is also dependent on the value of the tail current. There are certain circuit configurations, like programmable amplifiers or filters, where changing the transconductance has to be done in discrete steps, and without affecting other parameters such as the distortion level.

Fig. 1 shows a conventional digitally-programmable transconductor circuit. The transconductor circuit presented in Fig. 1 is derived from a source degenerated differential pair. It includes a current generator 30, right and left precision transconductors 40 and 50, and a degeneration resistance 60. The current generator 30 includes a left current generator 32 and a right current generator 34. The right and left

precision transconductors 40 and 50 each include a right or left operational amplifier 44, 54 and a right or left PMOS transistor 46, 56. The PMOS transistor 46, 56 passes a right or left current I_L or I_R , and is controlled by the output of the corresponding operational amplifier 44, 54. Each of the right or left operational amplifier 44, 54 accepts a corresponding left or right voltage V_L or V_R at a non-inverting input 42, 52 and a feedback loop from the degeneration resistance 60 at a negative input 43, 53. The degeneration resistance 60 includes a plurality of degeneration resistors R_{D1} , R_{D2} , R_{D3} , R_{D4} , and R_{D5} and a plurality of programming switches S_{P1} , S_{P2} , S_{P3} , S_{P4} , S_{P5} , and S_{P6} . The degeneration resistors can be classified as first and second left resistors R_{D1} and R_{D2} , a center resistor R_{D3} , and first and second right resistors R_{D4} and R_{D5} .

The right and left precision transconductors 40 and 50 take their feedback from taps on the plurality of degeneration resistors R_{D1} , R_{D2} , R_{D3} , R_{D4} , and R_{D5} through the plurality of programming switches S_{P1} , S_{P2} , S_{P3} , S_{P4} , S_{P5} , and S_{P6} . These switches are controlled by a plurality of switch control signals C_1 to C_3 .

Through the selection of a particular pair of taps the resulting degeneration resistance can be properly divided. The five degeneration resistors are divided by the switches into a central resistance R_C , a right lateral resistance R_{RL} , and a left lateral resistance R_{LL} . The lateral resistances R_{RL} and R_{LL} are included in the respective feedback loops of the precision transconductors 40 and 50, and the central resistance passes a side current I_S . The feedback of the precision transconductors 40 and 50 forces the input voltage across the resultant center resistance R_C .

Table 1 below shows an example of how the central resistance R_C and the lateral resistances R_{RL} and R_{LL} are determined based on the status of the programming switches S_{P1} , S_{P2} , S_{P3} , S_{P4} , S_{P5} , and S_{P6} .

TABLE 1

S_{P1}	S_{P2}	S_{P3}	S_{P4}	S_{P5}	S_{P6}	R_{R1}	R_{L1}	R_C
OFF	ON	OFF	OFF	ON	OFF	R_{D5}	R_{D1}	$R_{D2} + R_{D3} + R_{D4}$
OFF	OFF	ON	ON	OFF	OFF	$R_{D4} + R_{D5}$	$R_{D1} + R_{D2}$	R_{D3}

The central resistance R_C defines the AC current generated by the transconductor. By changing the position of the taps, the value of the resistor exposed to the input voltage changes. This yields an equivalent transconductance as follows:

$$g_m = \frac{I_R - I_L}{V_R - V_L} = \frac{1}{R_C} \quad (1)$$

Another drawback of this circuit becomes apparent at high frequency, where it is necessary to have high speed amplifiers drawing important currents for the feedback to be effective.

An implementation of a continuously adjustable transconductance circuit is presented in Fig.2. This continuously adjustable transconductance circuit includes first and second precision transconductors 210 and 220, first through third tunable transistors

T_{TUN1} , T_{TUN2} , and T_{TUN3} , a plurality of resistors R connected between inputs of the transconductors 210 and 220, a capacitor C connected between outputs of the transconductors 210 and 220, and a variety of transistors T and current sources 260.

The precision transconductors 210 and 220 each include an operational amplifier 212, 222 and a transistor T_{T1} , T_{T2} , and the transconductors 210 and 220 are connected to have degeneration resistor.

The output currents i_{out1} and i_{out2} of the circuit are steered by the tunable transistors T_{TUN1} , T_{TUN2} , and T_{TUN3} into the inputs of a folded-cascode. Complementary weighted currents are summed on the low impedance of the folded-cascode, providing opposite AC currents to the outputs.

Each of the tunable transistors T_{TUN1} , T_{TUN2} , and T_{TUN3} provide a respective tunable resistance R_{TUN1} , R_{TUN2} , or R_{TUN3} . The resistance presented by each of the tunable transistors T_{TUN1} (R_{TUN1}), T_{TUN2} (R_{TUN2}), and T_{TUN3} (R_{TUN3}) varies with first and second control voltages V_1 and V_2 supplied to the inputs of the transistors T_{TUN1} , T_{TUN2} , and T_{TUN3} . If, for example, the first and third tunable transistors T_{TUN1} and T_{TUN3} are identical, then the first and third tunable resistances will also be identical ($R_{TUN1} = R_{TUN3}$), since they both receive the first control voltage V_1 . For differential output currents from the transconductor $i_1 = i_i$, $i_2 = (-i_i)$, we have:

$$i_A = \left(\frac{R_{TUN2}}{2R_{TUN1} + R_{TUN2}} \right) i_1 \quad (1)$$

$$i_B = - \left(\frac{R_{TUN2}}{2R_{TUN1} + R_{TUN2}} \right) i_1 \quad (2)$$

The fraction $\frac{R_{TUN2}}{2R_{TUN1} + R_{TUN2}}$ of the current generated by the input

transconductor that is distributed to the output changes with $R_{TUN1}=R_{TUN3}$, R_{TUN2} , i.e., this fraction of the current is a function of R_{TUN1} , R_{TUN2} , and R_{TUN3} . The global transconductance appears as a fraction of the input stage transconductance. This ratio is voltage controlled. The dependence of the output current on the individual "resistor" values is not linear unless by electronic means the sum $(2R_{TUN1} + R_{TUN2})$ is kept constant.

The current sources 260 are preferably bias current sources, and the resistors R form a main transconductance setting. In this case, the transconductance of the stage is a fraction (depending upon V_1 and V_2) of $(1/R)$.

Another way of steering the current of the input transconductor is shown in Fig.3. The circuit of Fig. 3 includes an input transconductor 305, voltage control current steering circuit 310, a common mode feedback circuit 330, and a plurality of transistors T.

The input transconductor 305 includes first and second sections 350 and 360, each functioning as a differential amplifier. The first section 350 includes first through fourth transistors T_1 , T_2 , T_3 , and T_4 . The second section 360 includes fifth through seventh transistors T_5 , T_6 , and T_7 .

The voltage controlled current steering circuit 310 includes eighth through eleventh transistors T_8 , T_9 , T_{10} , and T_{11} formed into two differential pairs. The eighth and ninth transistors T_8 and T_9 form one differential pair, and the tenth and eleventh transistors T_{10} and T_{11} form the other differential pair..

A fraction of the current generated by the input transconductor 305 is transmitted to the outputs i_{out1} and i_{out2} through a voltage controlled current steering circuit composed of the two differential pairs (formed from the differential transistors T_8 , T_9 , T_{10} , and T_{11}). The circuit has the disadvantages of requiring a high supply voltage to accommodate the various stacked stages, and experiencing difficulty with digitally controlling the current steering.

Fig. 4 shows a design for a switchable amplifier. This switchable amplifier is similar to the circuit of Fig. 1 in that a resistor string is used as a degeneration resistor for an enhanced transconductor (T_1 - T_3 ; T_2 - T_4), i.e., (T_1 and T_3) and (T_2 and T_4) each form a composite transistor. This switchable amplifier includes first through sixth transistors T_1 to T_6 , a degeneration resistance 410, first and second resistors 422 and 424, and first through fourth current sources 432, 434, 436, and 438.

The degeneration resistance 410 includes $2n$ degeneration resistors R_{A1} to R_{An} and R_{B1} to R_{Bn} , and $(2n+2)$ switches S_{A1} to $S_{A(n+1)}$ and S_{B1} to $S_{B(n+1)}$, where n is an integer greater than 1. As with the circuit of Fig. 1, the switches S_{A1} to $S_{A(n+1)}$ and S_{B1} to $S_{B(n+1)}$ are controlled to create a central resistance R_C and left and right lateral resistances R_{L1} and R_{LR} .

The current of the third and fourth transistors T_3 , T_4 is injected into symmetrically placed taps of the degeneration resistance 410. In this way, the left and right lateral resistances R_{LL} and R_{LR} are included in the local feedback loops, but still conduct DC currents. In this circuit, most of the differential input voltage appears across the center resistance R_O in a manner similar to the circuit of Fig. 1.

SUMMARY OF THE INVENTION

It is thus an object of the present invention to overcome or at least minimize the various drawbacks associated with conventional techniques for controlling the transconductance of a differential stage.

In an effort to meet this and other objects of the invention, and according to one aspect of the present invention, a cascode transconductor circuit is provided, i.e., a transconductor with a cascode output stage. This cascode transconductor includes a transconductor, first through fourth resistors, a cascode circuit, and a dummy folded-cascode.

The transconductor receives first and second input voltages, and outputs first and second internal currents. The first resistor is connected between first and third nodes, and the second resistor is connected between the first node and a fifth node. The first and second resistors form a first resistive divider that receives the first internal current at the first node, and generates a third internal current at the third node.

The third resistor is connected between second and fourth nodes, and the fourth resistor connected between the second node and the fifth node. The third and fourth resistors form a second resistive divider that receives the second internal current at a second node, and generates a fourth internal current at a fourth node.

The cascode circuit receives the third and fourth internal currents and supplies first and second output currents. The dummy folded-cascode connected to the fifth node. The dummy folded-cascode may be a single-ended low-impedance input folded-cascode.

According to another aspect of the invention, a cascode transconductor circuit, is provided that includes a transconductor receiving first and second input voltages, and outputting first and second internal currents, a first resistor network receiving the first internal current at a first node, and generating a third internal current at a third node, a second resistor network receiving the second internal current at a second node, and generating a fourth internal current at a fourth node, and a cascode circuit receiving the third and fourth internal currents and supplying first and second output currents.

The first resistor network may comprise p first resistors connected in series between the third node and a fifth node, and $(p+1)$ first switches, each connected between the first node and an end of one of the p first resistors, such that each first resistor is connected to two of the $(p+1)$ first switches. Similarly, the second resistor network may comprise p second resistors connected in series between the fourth node and the fifth node, and $(p+1)$ second switches, each connected between the second node and an end of

one of the p second resistors, such that each second resistor is connected to two of the $(p+1)$ second switches. In this case, p is an integer greater than 1.

Preferably, the i^{th} first resistor and the i^{th} second resistor have the same value. In this case i is an integer between 1 and p . Preferably, during operation only one of the first switches and one of the second switches are closed at a given time.

The first and second switches may each comprise a transistor controlled by one of a plurality of control signals. The first and second resistors may each comprise a transistor controlled by a bias voltage.

According to yet another aspect, a cascode transconductor circuit is provided that comprises a transconductor receiving first and second input voltages, and outputting first and second internal currents, a first R-nR network receiving the first internal current at a first node, and generating a third internal current at a third node, a second R-nR network receiving the second internal current at a second node, and generating a fourth internal current at a fourth node, and a cascode circuit receiving the third and fourth internal currents and supplying first and second output currents.

The first R-nR network may comprise p first resistors connected in series between the third node and a fifth node, $(p-1)$ second resistors, each connected between the fifth node and a connection between two of the p first resistors, such that each meeting of two of the p first resistors is connected to one of the $(p-1)$ second resistors and $(p+1)$ first switches, each connected between the first node and an end of one of the p first resistors, such that each first resistor is connected to two of the $(p+1)$ first switches. Similarly, the

second R-nR network may comprise p third resistors connected in series between the fourth node and the fifth node, $(p-1)$ fourth resistors, each connected between the fifth node and a connection between two of the p third resistors, such that each meeting of two of the p third resistors is connected to one of the $(p-1)$ fourth resistors, and $(p+1)$ second switches, each connected between the third node and an end of one of the p third resistors, such that each third resistor is connected to two of the $(p+1)$ second switches.

Preferably, during operation only one of the first switches and one of the second switches are closed at a given time.

Each of the first and second switches may comprise a transistor controlled by one of a plurality of control signals.

Preferably, the 2nd through $(p-1)$ th first resistors and the 2nd through $(p-1)$ th third resistors all have a first resistance value, and the 1st and p th first resistors, the 1st and p th third resistors, the $(p-1)$ second resistors, and the $(p-1)$ fourth resistors all have a second resistance value substantially equal to an integral multiple of the first resistance value. In the case of a R-2R network, the second resistance value should be twice the first resistance value.

The above and other objects and advantages of the present invention will become readily apparent from the description that follows, with reference to the accompanying drawings.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

The present invention provides ways to accurately, digitally program the transconductance of a cascode transconductor while maintaining such parameters of the

input transconductor as the input voltage range. According the preferred embodiments of the present invention shown below, there is no DC current flowing through the resistive elements, which improves the matching of the characteristics of the active resistive elements. In addition, the operating point does not change by switching, allowing more relaxed operating conditions for dynamically selected elements. These circuits are also appropriate for operation at low supply voltages.

A transistor implementation for a conventional folded-cascode transconductor is shown in Figs. 5 and 6. Fig. 5 is a block diagram showing the transconductor and cascode or folded-cascode, while Fig. 6 is a transistor diagram of the circuit of Fig. 5. The circuit of Fig. 5 includes an input transconductor 510 and a folded-cascode 540. Although in this disclosure, a folded-cascode is described, any sort of current follower, such as a regular cascode, etc. can be used.

The input transconductor 510 includes a PMOS differential pair 520 with a current source load circuit 530. The differential pair 520 includes two differential transistors T_{D1} and T_{D2} , and a current source transistors T_{CS} . The current source load circuit includes two load transistors T_{L1} and T_{L2} .

The bias voltages V_{BP} , V_{BN} applied to the transistors T_{D1} , T_{L1} , and T_{L2} are generated by a circuit that establishes the same DC currents through the first differential transistor T_{D1} and the first load transistor T_{L1} , and through the second differential transistor T_{D2} and the second load transistor T_{L2} . This way, the net DC component of each of the transconductor output currents is zero.

The folded-cascode 540 includes a subtracter/amplifier 542, first through fourth folded-cascode transistors T_{FC1} , T_{FC2} , T_{FC3} , and T_{FC4} , connected as a differential folded-cascode, and first and second current source loads 552 and 554. The common-mode is set by a feedback loop including the subtracter/amplifier 542. The folded-cascode transistors T_{FC1} , T_{FC2} , T_{FC3} , and T_{FC4} are connected to operate as a current follower. In order to lower the input impedance and to increase the output impedance of the folded-cascode 540, gain-enhancement can be applied to the first and second folded-cascode transistors T_{FC1} and T_{FC2} .

Although most of the following preferred embodiments are described with reference to folded-cascodes, it should be understood that a cascode could be used as well in each case. The folded-cascode input impedance is considered low enough as to keep the error of the current division at a convenient value, since the input impedance of the folded-cascode can be lowered considerably using techniques such as gain-enhancement. Therefore, for simplicity, in the following calculations the folded-cascode input impedance is considered to be zero.

Fig. 7 is a circuit diagram showing a conventional folded-cascode transconductor 700 with an intermediary resistive divider. As shown in Fig. 7, the folded-cascode transconductor 700 includes a transconductor 510, first and second resistive dividers 720 and 730, and a cascode or folded-cascode 540. The first resistive divider includes first and second resistors R_1 and R_2 . The second resistive divider includes third and fourth resistors R_3 and R_4 .

The differential currents generated by the transconductor 510 (having a transconductance g_m) in response to the differential input voltage $v_{in} = (v_{in1} - v_{in2})$ are steered by the first and second resistive dividers 520 and 530. The currents flowing through the second and fourth resistors R_2 and R_4 , respectively, enter a low input impedance stage as a cascode or a folded-cascode (FC).

The first through fourth resistors R_1 to R_4 are preferably chosen to have an equal ratio, according to the following equation.

$$\frac{R_1}{R_2} = \frac{R_3}{R_4} \quad (3)$$

The conditions of equation (3) are sufficient for the correct functioning of an ideal implementation of the proposed circuit. However, for an identical loading of the two branches of a real transconductor we will consider the following equalities.

$$(R_1 = R_3); (R_2 = R_4). \quad (4)$$

Defining $x = \frac{R_1}{R_1 + R_2}$, we find that the AC currents injected into the folded-cascode are:

$$i_3 = \left(\frac{R_1}{R_1 + R_2} \right) i_1 = x \cdot i_1 = \left(x \cdot \frac{g_m}{2} \right) v_{dif} \quad (5)$$

$$i_4 = \left(\frac{R_3}{R_3 + R_4} \right) i_2 = x \cdot i_2 = \left(x \cdot \frac{g_m}{2} \right) v_{dif} \quad (6)$$

where g_m is the transconductance of the transconductor 510, and v_{dif} is $(v_{in1} - v_{in2})$.

The folded-cascode acts as a current follower, where:

$$i_{out1} = i_3; i_{out2} = i_4; \quad (7)$$

The differential output current is:

$$i_{odif} = (i_{out1} - i_{out2}) = (x \cdot g_m) \cdot v_{dif} = (g_m)_{eq} \cdot v_{dif}; \quad (8)$$

Thus, the whole circuit acts as a transconductor with a reduced equivalent transconductance $(g_m)_{eq} = (x \cdot g_m)$, where $0 \leq x \leq 1$. The value of the transconductance g_m is set by the bias current of the transconductor. The bias can be either fixed or dependent on elements as the temperature or the frequency of a reference signal etc. The disclosed circuit presents a means to obtain an accurate fraction of that transconductance.

First and second preferred embodiments of the present invention are shown in Figs. 8 and 9. In particular, Fig. 8 is a circuit diagram of a folded-cascode transconductor 800 with an intermediary resistive divider and dummy differential folded-cascode bias, according to the first preferred embodiment of the present invention.

In the circuit of Fig. 8, the AC ground voltage connected to R_1 and R_3 in Fig. 7, is provided by a dummy folded-cascode 850, which has identical input circuitry and bias as the active folded-cascode 540. The folded-cascode 540 and the dummy folded-cascode 850 provide identical DC voltages at the ends of the resistors R_1 , R_2 , R_3 , and R_4 . This way there is no DC current flowing through these resistors.

Fig. 9 is a circuit diagram showing a folded-cascode transconductor 900 with intermediary resistive divider and dummy single-ended folded-cascode bias, according to

the second preferred embodiment of the present invention. The circuit of Fig. 9 is the same as that shown in Fig. 8, except that the dummy folded-cascode 850 is replaced by a single low-impedance input folded-cascode 950. This is possible because of the differential nature of the output currents from the transconductor 510.

Fig. 10 is a circuit diagram showing a folded-cascode transconductor 1000 with an intermediary resistive network having a switchable transconductance, according to third and fourth preferred embodiment of the present invention. The circuit of Fig. 10 is derived from the circuit of Fig. 9. The transconductor circuit includes an input transconductor 510, first and second resistor networks 1020 and 1030, an output folded-cascode 540, and a biasing dummy single-ended folded-cascode 950. The first resistor network includes a first plurality of resistors R_{A1} , to R_{An} connected in a network, and a first plurality of switches S_{A1} to S_{An+1} that connect the outputs of the transconductor 510 to symmetric taps of the first resistor network 1020. Similarly, the second resistor network 1030 includes a second plurality of resistors R_{B1} , to R_{Bn} connected in a network, and a second plurality of switches S_{B1} to S_{Bn+1} that connect the outputs of the transconductor 510 to symmetric taps of the second resistor network 1030. In each case, n is an integer greater than 1.

The following equalities are true for the output current in the case that $R_{Ak} = R_{Bk} = R_k$, for $k = 1, \dots, n$, and when the switches S_{Ak} and S_{Bk} turned on and all the other switches turned off. The values R_k of the resistances are not necessarily equal, i.e.,

while $(R_{A1} = R_{B1} = R_1), (R_{A2} = R_{B2} = R_2), \dots (R_{An} = R_{Bn} = R_n)$, it is not necessarily true that $(R_1 = R_2 = R_n)$.

$$i_{out1}(n+1) = 0 \quad (9)$$

$$i_{out1}(k) = \left(\frac{\sum_{j=k}^n R_{Aj}}{\sum_{j=1}^n R_{Aj}} \right) i_1 = \left(\frac{\sum_{j=k}^n R_j}{\sum_{j=1}^n R_j} \right) i_1 \quad (10)$$

where $k = 1, 2, \dots, n$.

$$i_{out2}(n+1) = 0 \quad (11)$$

$$i_{out2}(k) = \left(\frac{\sum_{j=k}^n R_{Bj}}{\sum_{j=1}^n R_{Bj}} \right) i_2 = \left(\frac{\sum_{j=k}^n R_j}{\sum_{j=1}^n R_j} \right) i_2 \quad (12)$$

where $k = 1, 2, \dots, n$.

The equivalent transconductance of the entire circuit is:

$$(g_m)_{eq}(n+1) = 0 \quad (13)$$

$$(g_m)_{eq}(k) = \left(\frac{\sum_{j=k}^n R_j}{\sum_{j=1}^n R_j} \right) g_m \quad (14)$$

where $k = 1, 2, \dots, n$

Fig. 11 is a more detailed circuit diagram of the circuit of Fig. 10, according to the third preferred embodiment of the present invention. More specifically, Fig. 11 is a resistor/transistor implementation of the circuit shown in Fig. 10. The DC-free output currents i_1 and i_2 , from the transconductor 510 are distributed to symmetric taps of the two resistor networks 1020 (R_{A1} to R_{An}) and 1030 (R_{B1} to R_{Bn}) through digitally controlled switches (transfer gates) represented here by a plurality of NMOS switching transistors (ST_{A1} to ST_{An} and ST_{B1} to ST_{Bn}). One end of each resistor network is tied to an input node C or D) of the folded-cascode 540. The other end of each resistor is tied to the bias point E of a bias circuit dummy folded-cascode 950 (T_{DFC1} , T_{DFC2}) matched to the two branches of the folded-cascode 540 and biased by the same V_{FC} voltage as the output transistors T_{FC3} and T_{FC4} . This way, the voltages at nodes C, D, and E are equivalent:

$$V_C = V_D = V_E \quad (24)$$

which means that there is no net DC current flowing through the resistor networks 1020 and 1030 when the input transconductor is biased to have ($|I_{DTD1}| = I_{DTL1}$) and ($|I_{DTD2}| = I_{DTL2}$).

The switches are preferably controlled by the control signals C_1 to C_n . There is preferably only one C_k , ($k = 1, \dots, n+1$) signal active at a time. One possible way of generating the control signals C_1 to C_{n+1} is by decoding a digital control word.

If C_k is active (high level in the case of NMOS switches) and all of the other control signals are inactive, then the global transconductance of the circuit operates according to rules (13) and (14) above.

The resistors of the resistor networks 1020 and 1030 can be either passive elements, such as diffused, polysilicon, or metal resistors, or they can be active resistors.

Fig. 12 is a more detailed circuit diagram of the circuit of Fig. 10, according to the fifth preferred embodiment of the present invention. More specifically, Fig. 12 is a transistor implementation of the circuit of Fig. 10, in which the resistors are replaced by transistors (T_{RA1} to T_{RAn} and T_{RB1} to T_{RBn}). The drain-source voltage of these transistors is nominally zero. The transistors work in triode mode. The drain-source resistance R_k of the k^{th} transistor, for a square-law model is:

$$R_k = \frac{1}{\beta_k (V_{GSk} - V_{TH})} \quad (25)$$

where β_k is the transfer parameter in strong inversion $\left[\mu \cdot C_{ox} \left(\frac{W}{L} \right)_k \right]$, V_{GSk} is the gate-source voltage, and V_{TH} is the threshold of the k^{th} transistor.

Preferably, the gates of all the transistors of this example are biased by the same voltage V_{BG} generated by a bias voltage generator 1260, including first through fourth chain transistors T_{C1} , T_{C2} , T_{C3} , and T_{C4} . Because there is no DC current flowing through the transistors in the "resistor" chain, their source voltage is the same (V_B). As a result the gate-source voltage is the same for every transistor in the chain.

$$\frac{Rds_k}{Rds_j} = \frac{\left(\frac{W_k}{L_k} \right)}{\left(\frac{W_j}{L_j} \right)} \quad (26)$$

with W_k and L_k being the width and length, respectively, of the k^{th} transistor, and with W_j and L_j being the width and length, respectively, of the j^{th} transistor.

Fig. 13 is a circuit diagram showing a folded-cascode transconductor with intermediary R-nR network having exponentially controlled switchable transconductance, according to a fifth preferred embodiment of the present invention. In this embodiment, the first and second resistor networks 1020 and 1030 have been replaced by first and second R-nR networks 1320 and 1330 (alternately called resistor divider networks). Although by way of example, the circuit of Fig. 13 specifically shows the use of first and second R-2R networks, other values for n could clearly be used.

One of the R-2R networks 1320 and 1330 in Fig. 13 is connected to each output line of the transconductor 510. In addition, all but one of the 2R branches of the R-2R networks 1320 and 1330 are connected to the bias point E of the dummy single-ended folded-cascode 950. The internal nodes of the first and second networks 1320 and 1330 are designated A_1 to A_n and B_1 to B_n , respectively.

The outputs of the transconductor 510 can be connected through the switches S_{A1} to $S_{A(n-1)}$ and S_{B1} to $S_{B(n-1)}$, to the nodes A_1 to $A_{(n-1)}$ and B_1 to $B_{(n-1)}$, respectively. The switches S_{A0} and S_{B0} connect the outputs of the transconductor 510 to the bias point E, allowing no current to flow into the output stage folded-cascode 540. The switches S_{An} and S_{Bn} connect the outputs of the transconductor 510 directly to the corresponding inputs of the folded-cascode 540, bypassing the resistor divider networks 1320 and 1330. There should only be one switch closed at a time in each network 1320 and 1330.

When the inverting output of the transconductor 510 is connected through the switch S_{Ak} to the node A_k of the first network 1320, and the non-inverting output of the transconductor 510 is connected through the switch S_{Bk} to the node B_k of the second network 1330, the output currents i_{out1} and i_{out2} are:

$$i_{out1}(0) = 0 \quad (15)$$

$$i_{out1}(k) = \left(\frac{2^k}{3 \cdot 2^{n-1}} \right) i_1 \quad k = 1, 2, \dots, n-1 \quad (16)$$

$$i_{out1}(n) = i_1 \quad (17)$$

$$i_{out2}(0) = 0 \quad (18)$$

$$i_{out2}(k) = \left(\frac{2^k}{3 \cdot 2^{n-1}} \right) i_2 \quad k = 1, 2, \dots, n-1 \quad (19)$$

$$i_{out2}(n) = i_2 \quad (20)$$

As a result, the overall transconductance will be:

$$(g_m)_{eq}(0) = 0 \quad (21)$$

$$(g_m)_{eq}(k) = \left(\frac{2^k}{3 \cdot 2^{n-1}} \right) g_m \quad k = 1, 2, \dots, n-1 \quad (22)$$

$$(g_m)_{eq}(n) \approx g_m \quad (23)$$

The circuit of Fig. 13 thus operates as a programmable exponential attenuator for the transconductance.

Fig. 14 is a more detailed circuit diagram of the circuit of Fig. 13. As shown in Fig. 14, the DC-free output currents i_1 and i_2 , from the transconductor 510 are distributed to symmetric taps (via nodes A_k and B_k , where $k = 1, 2, \dots, n-1$) of the two R-2R resistor networks, or directly into the inputs C, D of the folded-cascode (via nodes A_n and B_n), or to the dump node E, each through digitally controlled switches (transfer gates), which are shown in this embodiment as NMOS switching transistors (S_{TA0} to S_{TA_n} and S_{TB0} to S_{TB_n}). The nodes A_n and B_n of the resistor networks 1320 and 1330 respectively coincide with the nodes D and C, which represent the inputs to the folded-cascode 540. The dump ends of the 2R resistors are tied to the node E of the dummy single-ended folded-cascode bias circuit 950 matched to the two branches of the folded-cascode and biased by the same voltage V_{FC} as the output transistors T_{FC3} and T_{FC4} . As a result, there is no net DC current flowing through the resistor networks 1320 and 1330.

The switches are controlled by the control signals C_0 to C_n . There should only be one control signal C_k ($k = 0, 1, \dots, n$) active at a time. One possible way of generating the C_0 to C_n control signals is by decoding a digital control word.

If C_1 is active (high level in the case of an NMOS switching transistor) and all the other control signals are inactive, then the global transconductance of the circuit operates according to rules (21), (22), and (23) above.

Fig. 15 is a circuit diagram showing an implementation of a regular cascode transconductor with intermediary resistor networks having switchable transconductance, according to a sixth preferred embodiment of the present invention. The principle implemented in Fig. 11 for a transconductor followed by a folded-cascode is applied in the circuit of Fig. 15 to a transconductor followed by a regular cascode. The circuit has an input transconductor 510 followed by first and second resistor networks 1020 and 1030, a cascode current follower 1540 and a bias voltage generator 1570.

The cascode current follower 1540 includes first through sixth cascode transistors T_{C1} to T_{C6} and a subtracter/amplifier 1542. The bias voltage generator 1570 includes first and second bias transistors T_{B1} and T_{B2} .

The bias voltages V_{BP} , V_{BN} for the entire circuit are preferably established by a circuit that allows the output DC current of the input transconductor to be substantially zero. As a result, the voltages at nodes C, D, and F are equal.

$$V_C = V_D = V_F \quad (24)$$

The output currents of the transconductor 510 (i_1 and i_2) are scaled by the resistor networks 1020 and 1030 in a manner similar to that described for the circuit of Fig. 11. The scaled currents i_3 and i_4 enter the low impedance of the cascode block 1540.

The scaled currents i_3 and i_4 are transmitted to the high impedance outputs i_{out1} and i_{out2} , respectively. The effect of the current dividers (resistor networks 1020 and 1030) on the overall transconductance is described by equations (13) and (14) above.

In addition, the circuits presented in Fig. 10 and Fig. 13 can also be applied to a cascode transconductor circuit as well as a folded-cascode circuit.

In alternate embodiments, if the input impedance of the cascode or folded-cascode is low enough, it is possible to attach several resistor networks in parallel onto the same inputs.

Furthermore, these techniques are equally applicable to other technologies, such as BiCMOS implementations.

The present invention has been described by way of a specific exemplary embodiment, and the many features and advantages of the present invention are apparent from the written description. Thus, it is intended that the appended claims cover all such features and advantages of the invention. Further, since numerous modifications and changes will readily occur to those skilled in the art, it is not desired to limit the invention to the exact construction and operation as illustrated and described. Hence, all suitable modifications and equivalents may be resorted to as falling within the scope of the invention.

4. Brief Description of Drawings

Fig.1 is a circuit diagram showing a conventional transconductor that has a programmable source degeneration resistor;

Fig.2 is a circuit diagram showing a conventional continuously adjustable transconductor that employs tuned transistors for current steering;

Fig.3 is a circuit diagram showing a conventional continuously adjustable transconductor that employs differential stage current steering;

Fig.4 is a circuit diagram showing a conventional amplifier having switchable gain;

Fig. 5 is a block diagram showing a conventional transconductor with differential output folded-cascode;

Fig. 6 is a circuit diagram of the circuit of Fig. 5 having separated loads for the input stages;

Fig. 7 is a circuit diagram showing a conventional folded-cascode transconductor with intermediary resistive divider;

Fig. 8 is a circuit diagram of a folded-cascode transconductor with an intermediary resistive divider and dummy differential folded-cascode bias, according to a first preferred embodiment of the present invention;

Fig. 9 is a circuit diagram showing a folded-cascode transconductor with intermediary resistive divider and dummy single-ended folded-cascode bias, according to a second preferred embodiment of the present invention;

Fig. 10 is a circuit diagram showing a folded-cascode transconductor with intermediary resistive network having a switchable transconductance, according to third and fourth preferred embodiments of the present invention;

Fig. 11 is a more detailed circuit diagram of the circuit of Fig. 10, according to a fifth preferred embodiment of the present invention;

Fig. 12 is a more detailed circuit diagram of the circuit of Fig. 10, according to a sixth preferred embodiment of the present invention;

Fig. 13 is a circuit diagram showing a folded-cascode transconductor with intermediary R - nR network having exponentially controlled switchable transconductance, according to a seventh preferred embodiment of the present invention;

Fig. 14 is a more detailed circuit diagram of the circuit of Fig. 13; and

Fig. 15 is a circuit diagram showing an implementation of a regular cascode transconductor with intermediary resistor networks having switchable transconductance, according to a eighth preferred embodiment of the present invention.

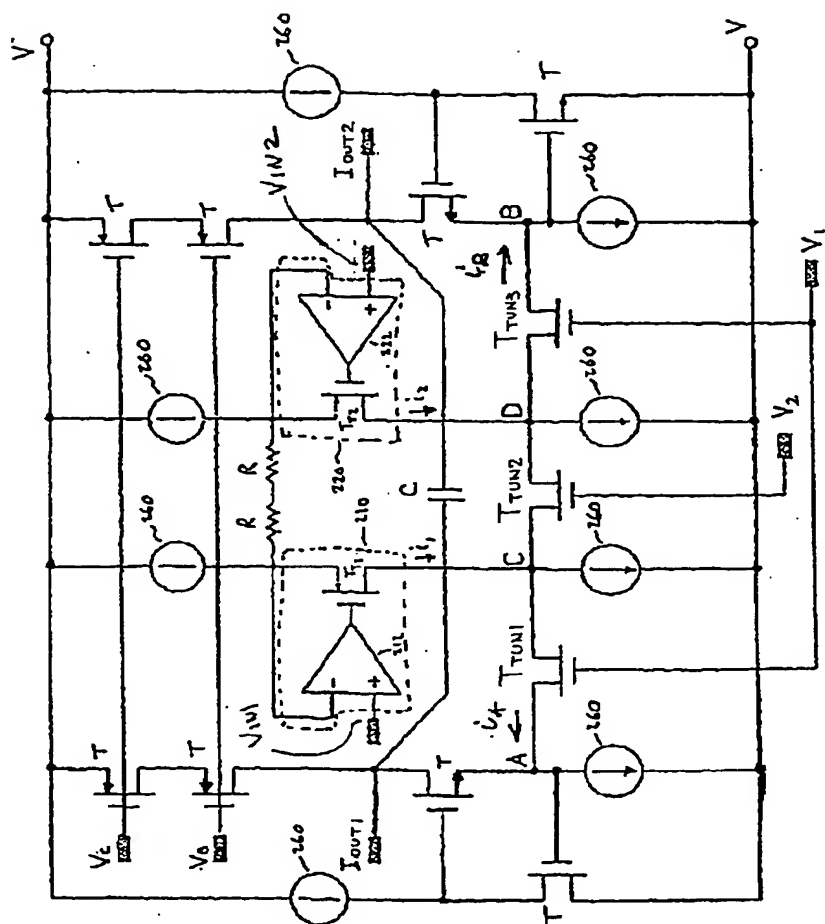


Fig. 2

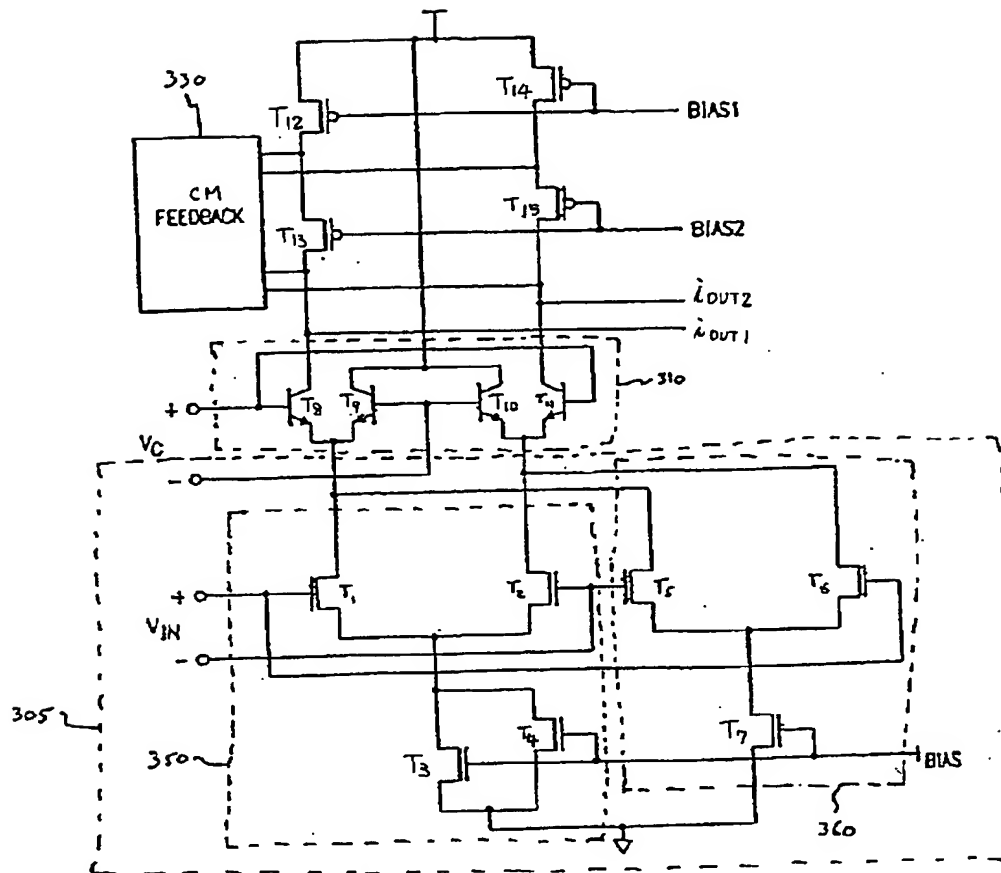
300

Fig. 3

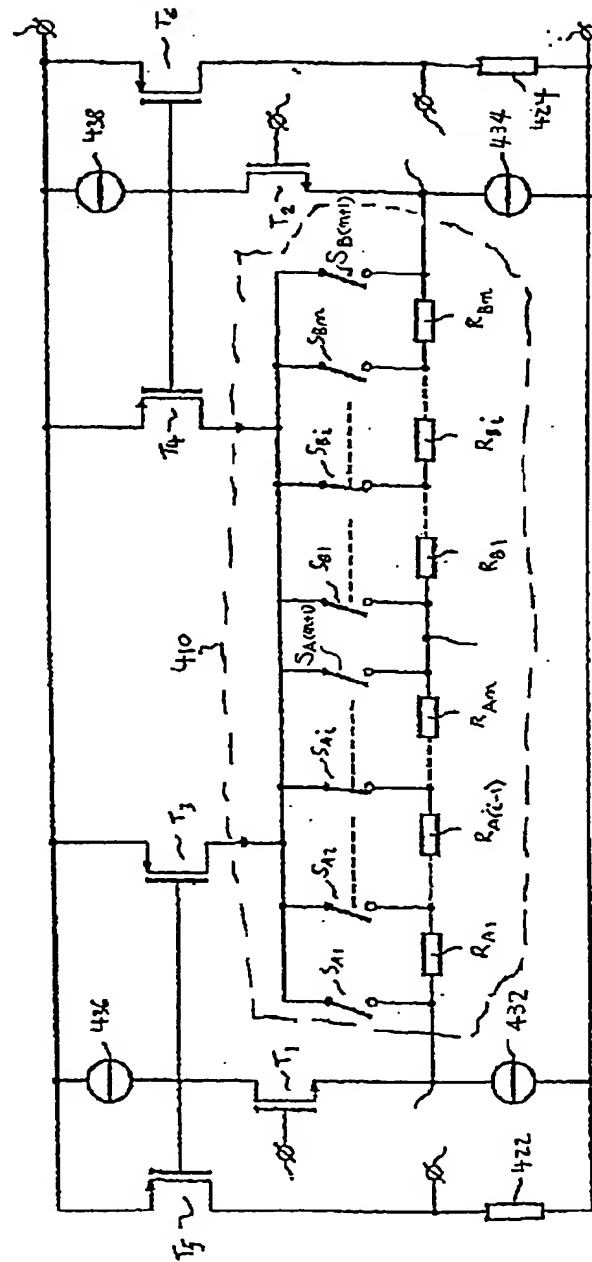


Fig. 4

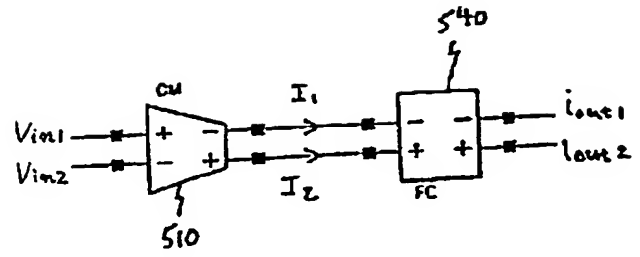


FIG. 5

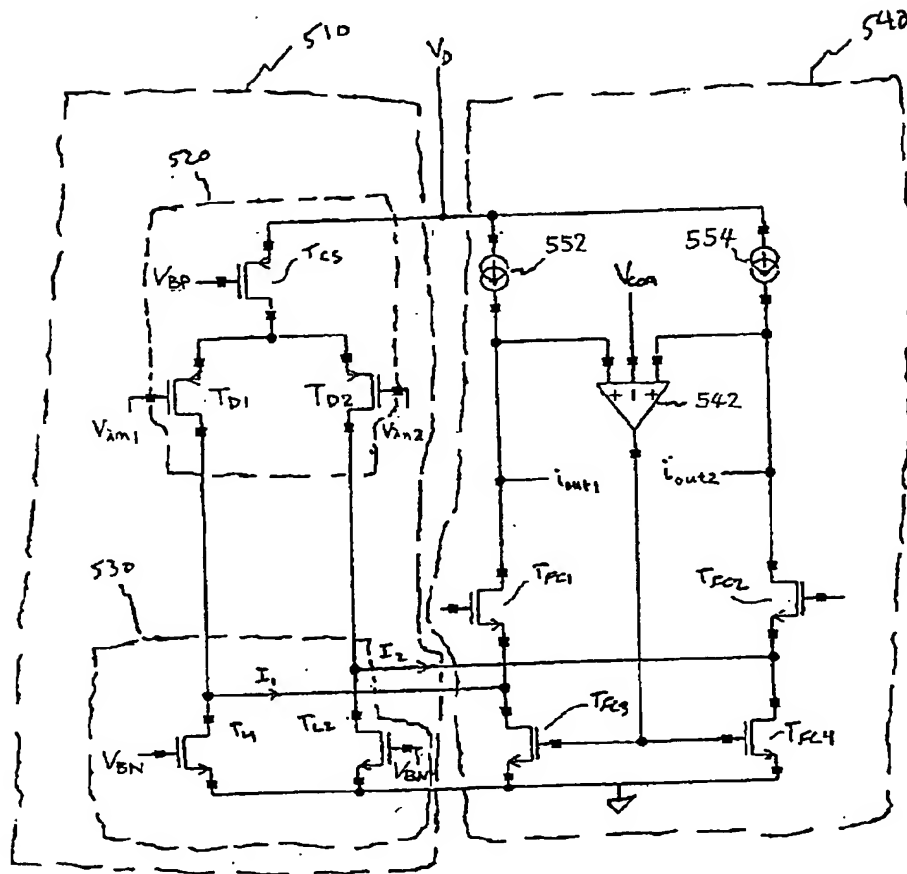


FIG. 6

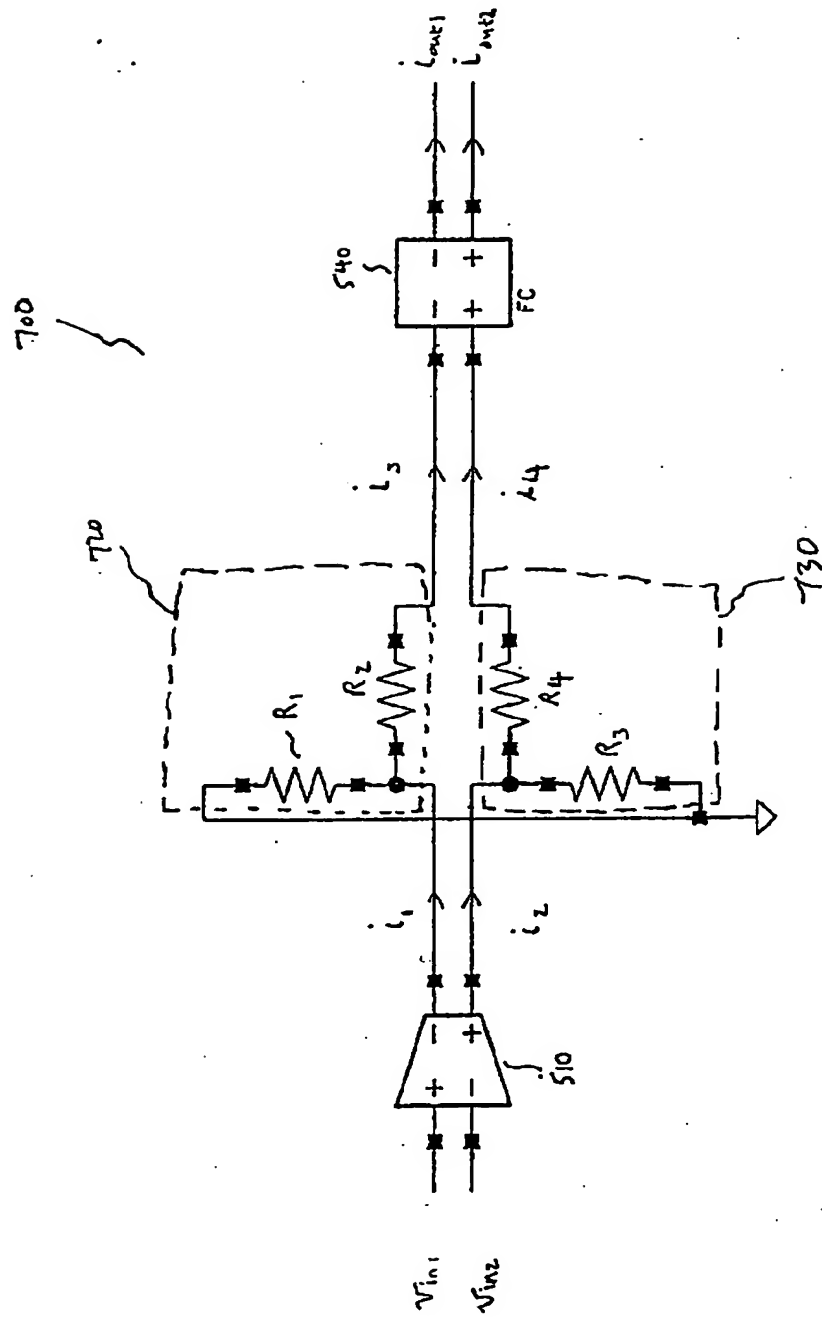


FIG 7

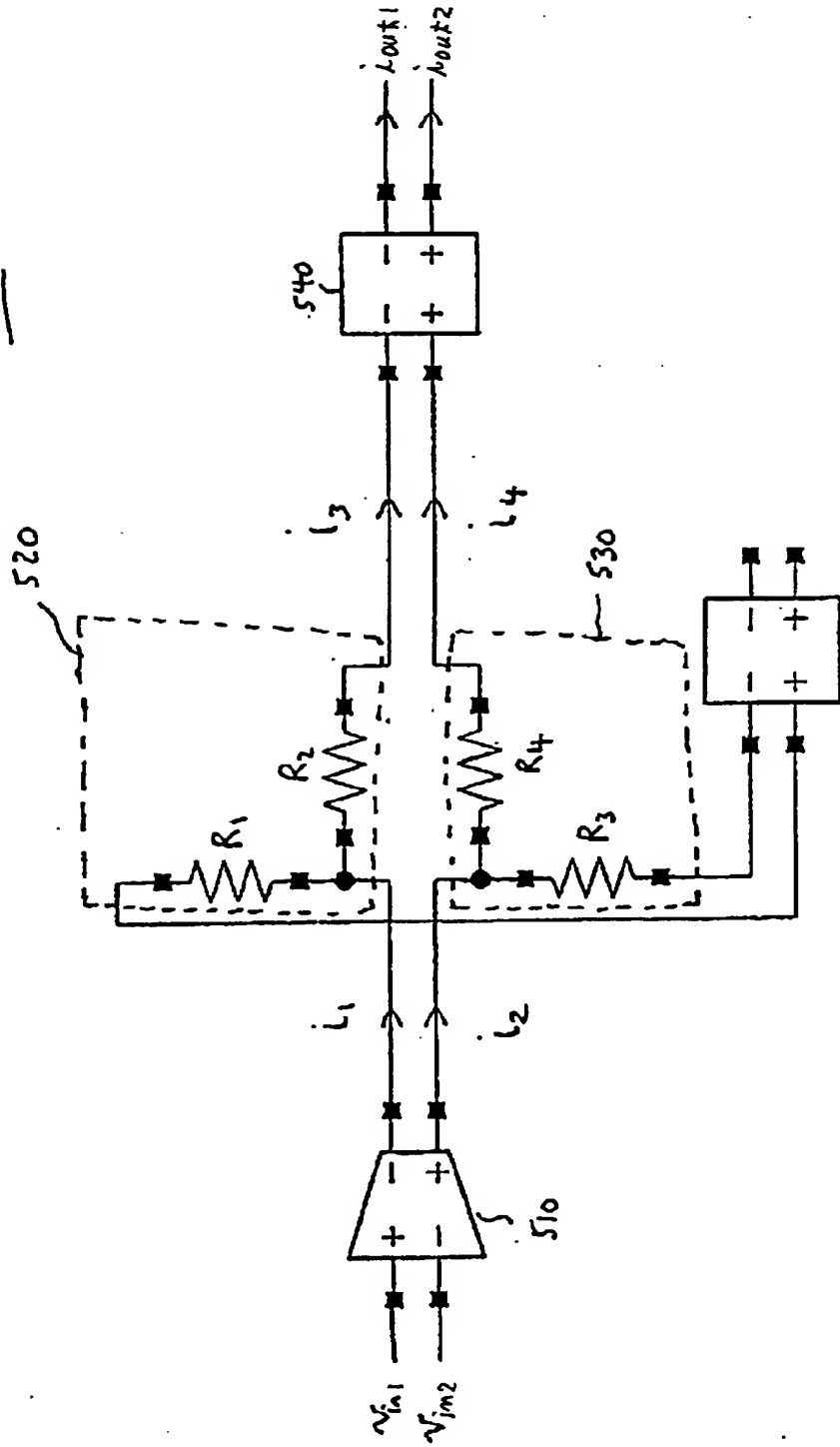
800

Fig. 8

900

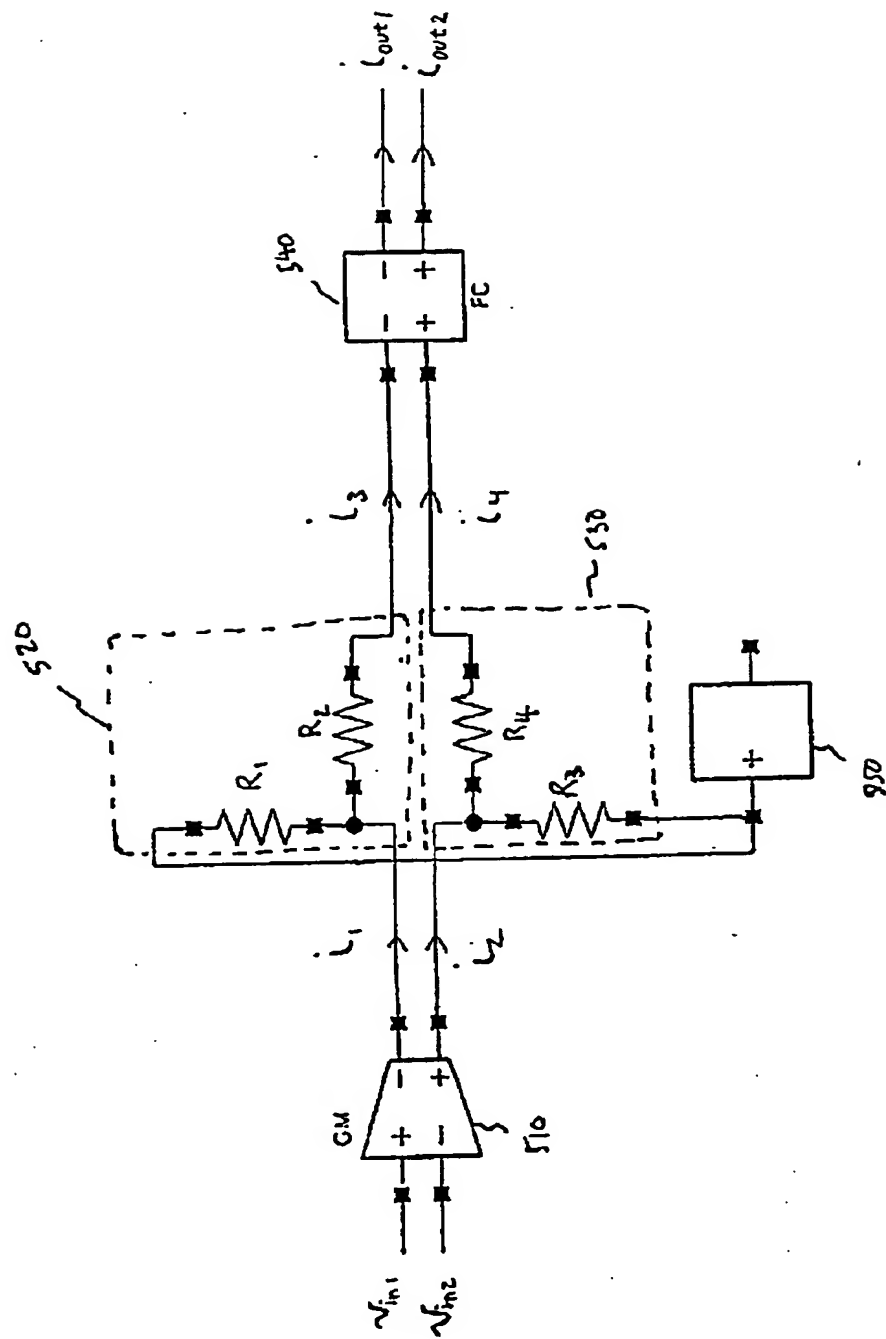


Fig. 9

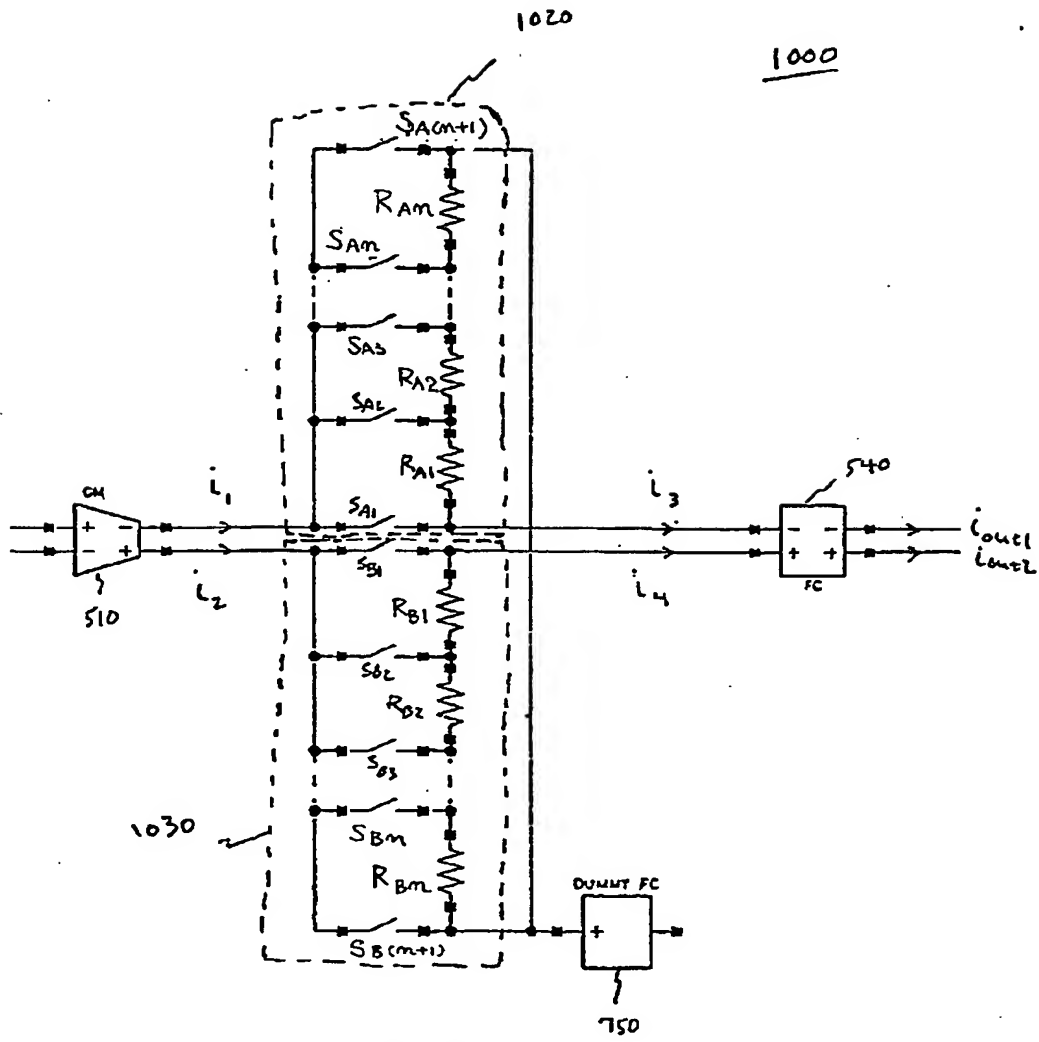


FIG. 10

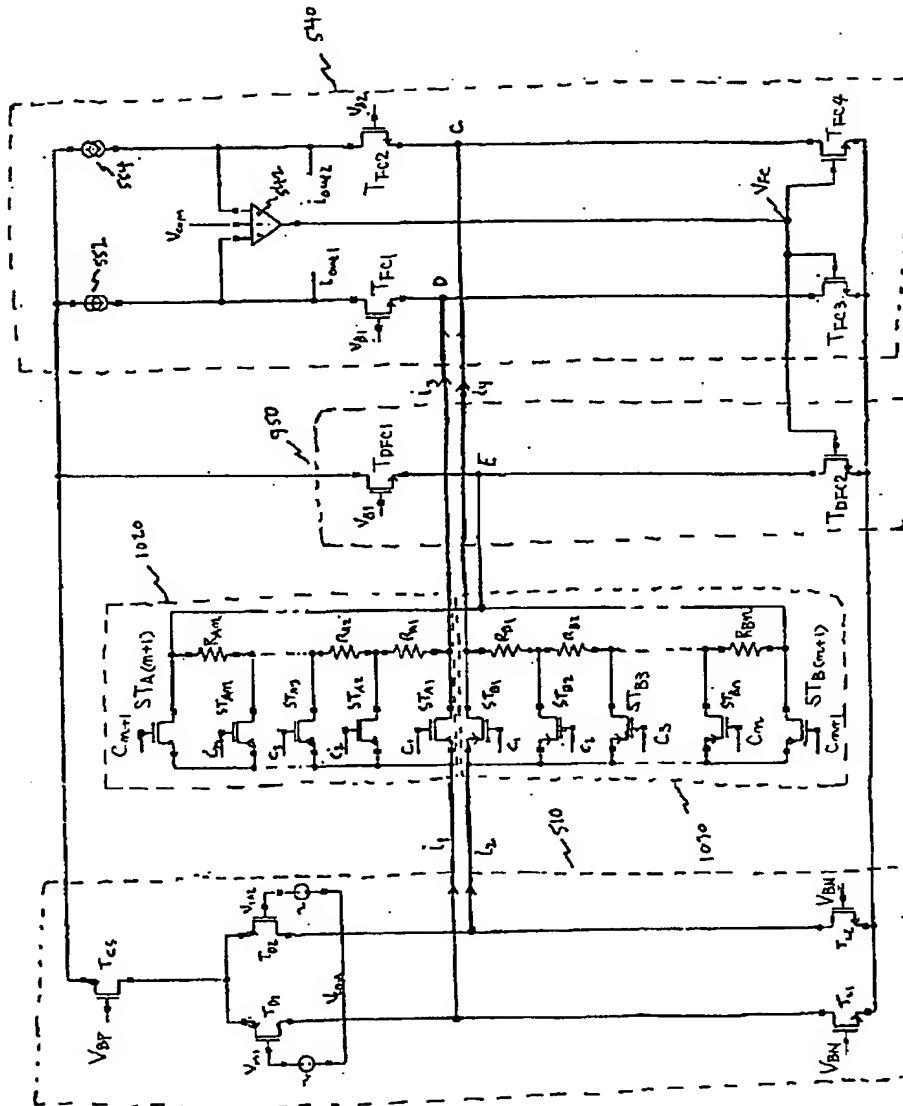


Fig. 11

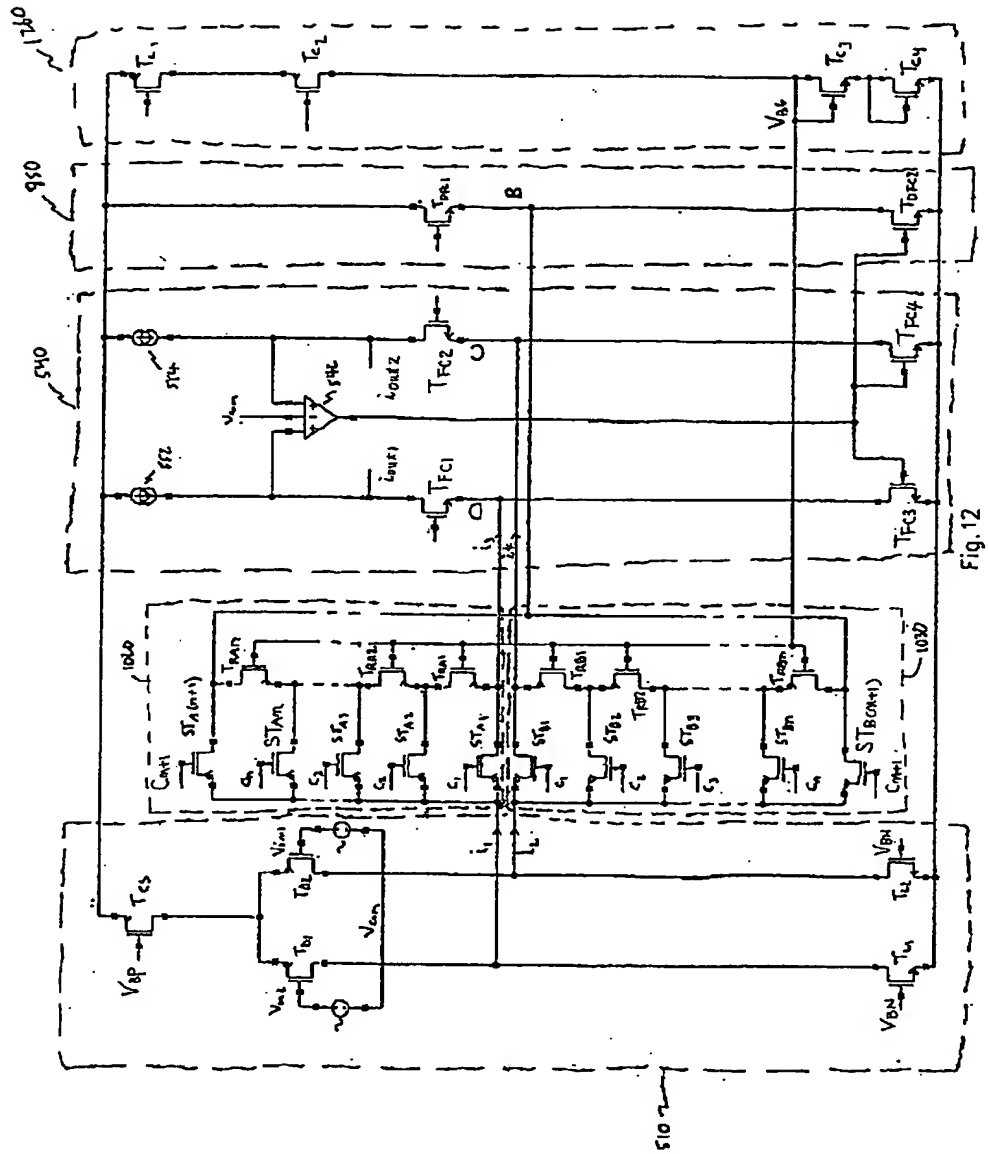


Fig. 12

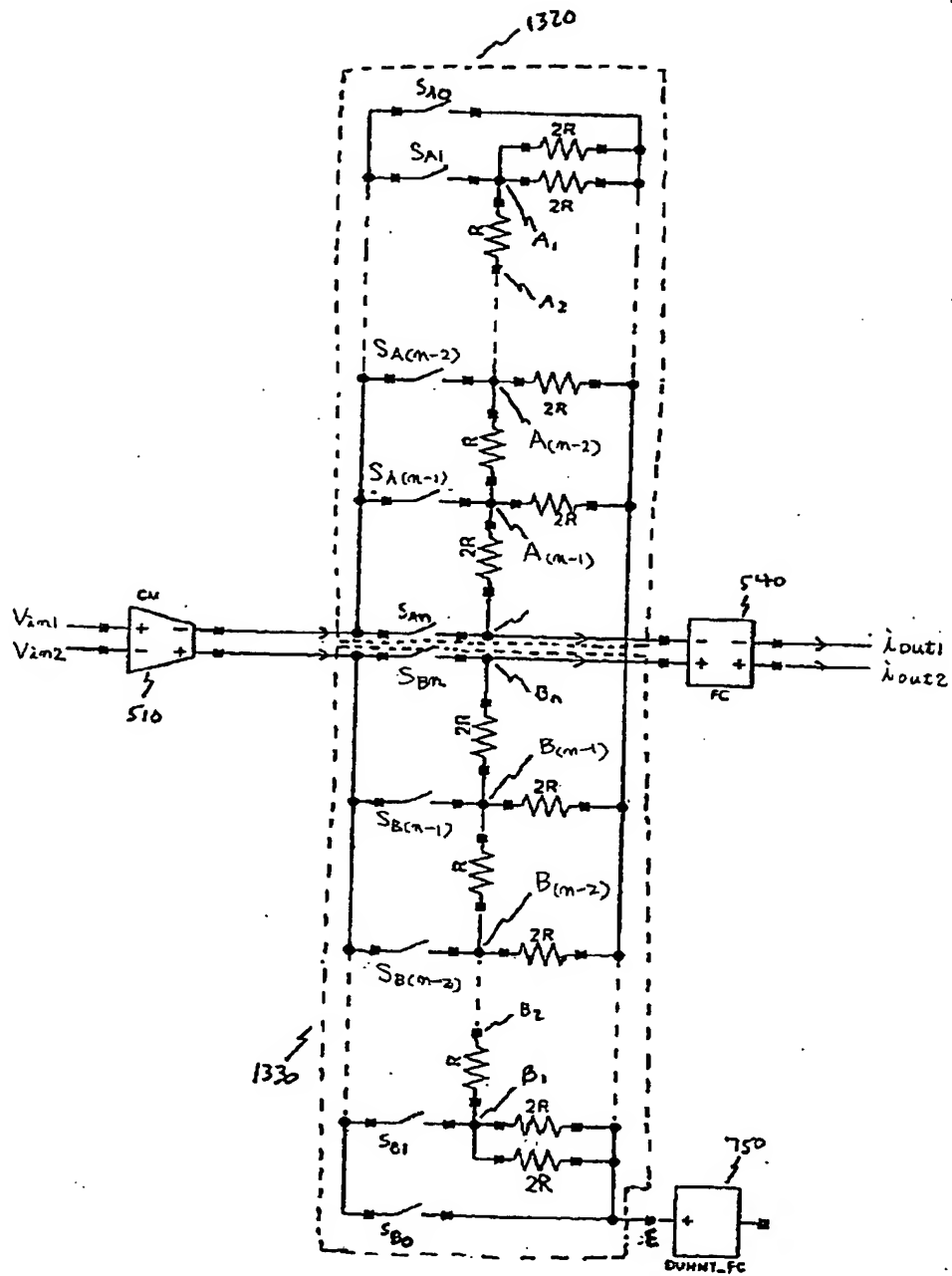


FIG. 13

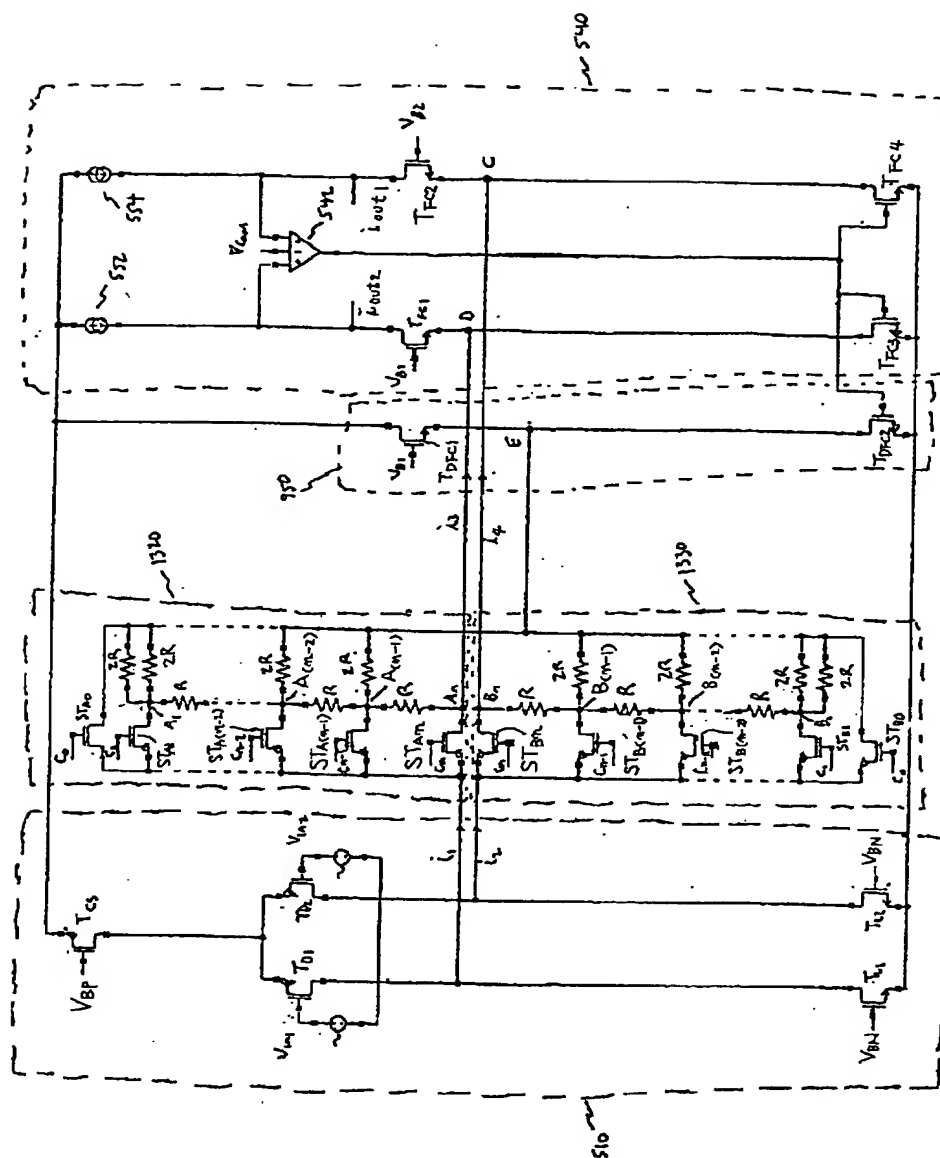


Fig. 14

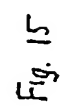


Fig. 15

1. Abstract

A cascode transconductor circuit is provided that controls the transconductance of a differential stage with an active load followed by a cascode or folded-cascode current follower in discrete steps. The circuit includes a transconductor receiving first and second input voltages, and outputting first and second internal currents, a first resistive divider receiving the first internal current at a digitally-selected first node, and generating a third internal current at a third node, a second resistive divider receiving the second internal current at a digitally-selected second node, and generating a fourth internal current at a fourth node, and a cascode circuit receiving the third and fourth internal currents and supplying first and second output currents.

2. Representative Drawing

Fig. 8

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.